

# iC-MFL / iC-MFLT

8-/12- FOLD FAIL-SAFE LOGIC N-FET DRIVER



Ausgabe C1, Seite 1/13

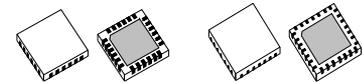
## EIGENSCHAFTEN

- ◆ 8-/12- fach Level-Shifter auf 5 V Ausgangsspannung
- ◆ Sicherer Low-Zustand der Ausgänge bei Einfachfehlern
- ◆ Schmitt-Trigger-Eingänge mit zweistufigem Pull-Down-Strom zur Erhöhung der Störsicherheit bei begrenzter Verlustleistung
- ◆ Eingänge kompatibel zu TTL- und CMOS-Pegeln (1.8 V bis 3.3 V bis 5 V)
- ◆ Strombegrenzte und kurzschlussfeste Push-Pull-Endstufen
- ◆ Push-Pull-Stromquellen zur Ansteuerung von FET-Transistoren
- ◆ Pulsspannungsfeste Ausgänge bis 18 V
- ◆ Überwachung der Anschlüsse von Masse und Versorgungsspannung
- ◆ ESD-Schutzbeschaltung
- ◆ Temperaturbereich von -40 bis +125 °C

## ANWENDUNGEN

- ◆ Betrieb von 5 V Logic-Level-n-FETs aus 3.3 V Systemen

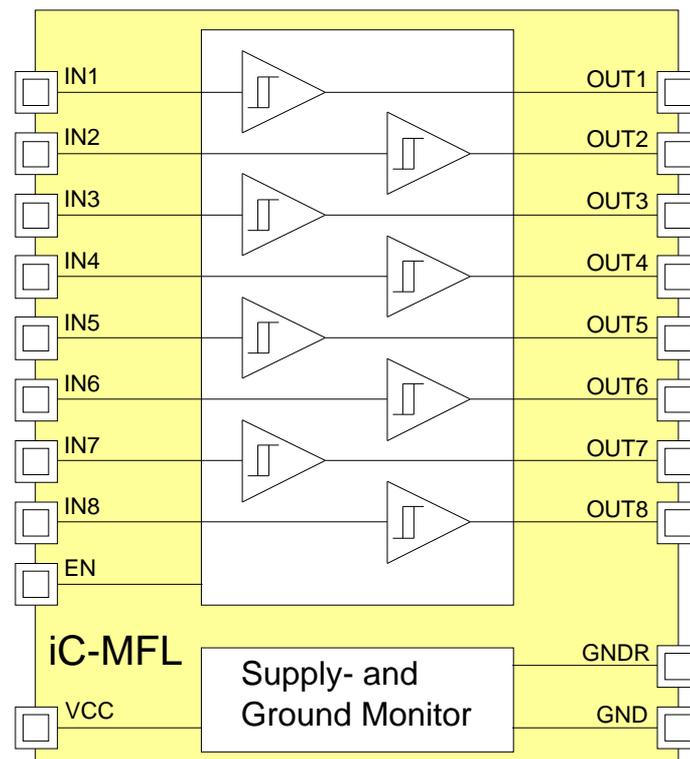
## GEHÄUSE



QFN24  
(iC-MFL)

QFN28  
(iC-MFLT)

## BLOCKSCHALTBIKD



### KURZBESCHREIBUNG

iC-MFL / iC-MFLT ist ein monolithisch integrierter, acht-/zwölfkanaliger Pegelanpassungsbaustein zur Ansteuerung von n-Kanal-FETs. Die internen Schaltungsblöcke sind dabei so aufgebaut, dass die Ausgangsstufen des iC-MFL bei Einfachfehlern durch offene Pins oder durch Kurzschluss zweier Ausgänge in den sicheren, definierten Low-Zustand gehen. Das iC-MFL schaltet somit bei einem Einfachfehler einen extern angeschlossenen n-Kanal-FET aus.

Die Eingänge der acht/zwölf Kanäle bestehen aus einem Schmitt-Trigger mit Pull-Down-Stromquelle und sind zu TTL- und CMOS-Pegeln (1.8 V bis 3.3 V bis 5 V) kompatibel. Die acht/zwölf Kanäle haben am Ausgang eine strombegrenzte Push-Pull-Endstufe und einen Pull-Down-Widerstand. Die Endstufen liefern ein Ausgangssignal von 5 V und werden über ein hi-Signal am Pin EN freigegeben. Alle Ausgangsendstufen sind störunempfindlich gegenüber kurzen Störpulsen bis 18 V (Pulsbreite < 100 ms, maximal 2 % Tastverhältnis).

Der Baustein iC-MFL überwacht die Versorgungsspannung an VCC und die Spannungen an den beiden Masseanschlüssen GND und GNDR. Letztere müssen extern miteinander verbunden werden, um im Fehlerfall den sicheren Low-Zustand der Ausgangsstufen zu gewährleisten.

Falls die Versorgungsspannung an VCC unter eine definierte Schwelle fällt, so erzeugt die Spannungs-

überwachung ein internes Fehlersignal, mit dem die Ausgänge aktiv über die Low-Side-Transistoren auf GND geschaltet werden. Fällt die Versorgungsspannung an VCC ganz weg, so sind die Ausgänge über Pull-Down-Widerstände mit GNDR verbunden.

Fällt das Massepotenzial an GND weg, so werden die High-Side- und Low-Side-Transistoren der Endstufen abgeschaltet und die Ausgänge über Pull-Down-Widerstände auf GNDR gezogen. Fällt dagegen das Massepotenzial an GNDR weg, so werden nur die High-Side-Transistoren der Endstufen abgeschaltet und die Ausgänge aktiv über die Low-Side-Transistoren auf GND gezogen.

Offene Eingänge IN1 bis 8/12 bzw. EN werden durch Pull-Down-Ströme mit GND verbunden. Die Pull-Down-Ströme sind zweistufig ausgeführt, um bei erhöhter Störsicherheit die Verlustleistung zu begrenzen.

Falls sich beim Kurzschluss zweier Ausgänge eine Ausgangsstufe im Low- und die andere im High-Zustand befindet, so überwiegt die Stromfähigkeit des Low-Side-Treibers und hält somit die angeschlossenen n-Kanal-FETs im sicheren ausgeschalteten Zustand.

Der Baustein ist gegen Zerstörung durch ESD geschützt.

### GEHÄUSE

# iC-MFL / iC-MFLT

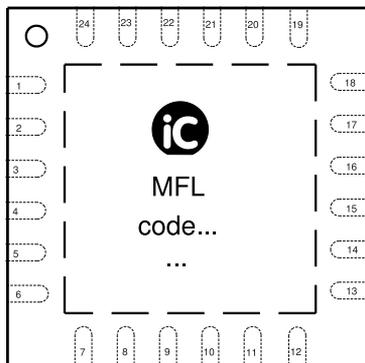
8-/12- FOLD FAIL-SAFE LOGIC N-FET DRIVER



Ausgabe C1, Seite 3/13

## PIN-BELEGUNG QFN24

4 mm x 4 mm nach JEDEC MO220



## PIN-FUNKTIONEN

Nr. Name Funktion

1	OUT1	5 V Ausgang Kanal 1
2	-	(n.c.)
3	-	(n.c.)
4	GNDR	Masse R (Resistor)
5	VCC	5 V Spannungsversorgung
6	IN1	Eingang Kanal 1
7	IN2	Eingang Kanal 2
8	IN3	Eingang Kanal 3
9	IN4	Eingang Kanal 4
10	IN5	Eingang Kanal 5
11	IN6	Eingang Kanal 6
12	IN7	Eingang Kanal 7
13	IN8	Eingang Kanal 8
14	-	(n.c.)
15	EN	Enable-Eingang
16	-	(n.c.)
17	GND	Masse
18	OUT8	5 V Ausgang Kanal 8
19	OUT7	5 V Ausgang Kanal 7
20	OUT6	5 V Ausgang Kanal 6
21	OUT5	5 V Ausgang Kanal 5
22	OUT4	5 V Ausgang Kanal 4
23	OUT3	5 V Ausgang Kanal 3
24	OUT2	5 V Ausgang Kanal 2
	TP	Thermal-Pad

Das *Thermal-Pad* auf der Gehäuseunterseite ist in geeigneter Weise mit GND zu verbinden (*Ground Plane*). Verbindungen zwischen GND, GNDR und dem Thermal Pad sollten mit der System-FMEA abgestimmt sein.

# iC-MFL / iC-MFLT

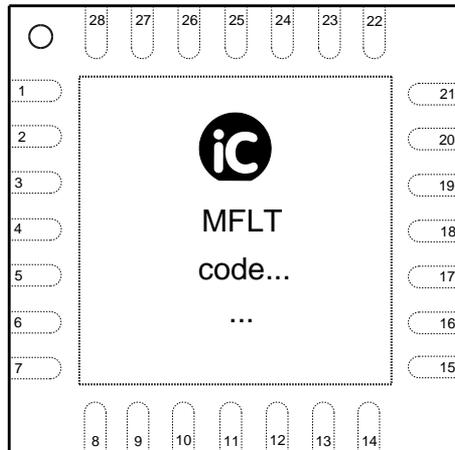
8-/12- FOLD FAIL-SAFE LOGIC N-FET DRIVER



Ausgabe C1, Seite 4/13

## PIN-BELEGUNG QFN28

5 mm x 5 mm nach JEDEC MO220



## PIN-FUNKTIONEN

Nr.	Name	Funktion
1	OUT2	5 V Ausgang Kanal 2
2	OUT1	5 V Ausgang Kanal 1
3	GNDR	Masse R (Resistor)
4	VCC	5 V Spannungsversorgung
5	IN1	Eingang Kanal 1
6	IN2	Eingang Kanal 2
7	IN3	Eingang Kanal 3
8	IN4	Eingang Kanal 4
9	IN5	Eingang Kanal 5
10	IN6	Eingang Kanal 6
11	IN7	Eingang Kanal 7
12	IN8	Eingang Kanal 8
13	IN9	Eingang Kanal 9
14	IN10	Eingang Kanal 10
15	IN11	Eingang Kanal 11
16	IN12	Eingang Kanal 12
17	EN	Enable-Eingang
18	GND	Masse
19	OUT12	5 V Ausgang Kanal 12
20	OUT11	5 V Ausgang Kanal 11
21	OUT10	5 V Ausgang Kanal 10
22	OUT9	5 V Ausgang Kanal 9
23	OUT8	5 V Ausgang Kanal 8
24	OUT7	5 V Ausgang Kanal 7
25	OUT6	5 V Ausgang Kanal 6
26	OUT5	5 V Ausgang Kanal 5
27	OUT4	5 V Ausgang Kanal 4
28	OUT3	5 V Ausgang Kanal 3
	TP	Thermal Pad

Das *Thermal-Pad* auf der Gehäuseunterseite ist in geeigneter Weise mit GND zu verbinden (*Ground Plane*). Verbindungen zwischen GND, GNDR und dem Thermal Pad sollten mit der System-FMEA abgestimmt sein.

# iC-MFL / iC-MFLT

## 8-/12- FOLD FAIL-SAFE LOGIC N-FET DRIVER



Ausgabe C1, Seite 5/13

### GRENZWERTE

Keine Zerstörung, Funktion nicht garantiert.

Kenn-Nr.	Formelzeichen	Benennung	Bedingungen	Min. / Max.		Einh.
				Min.	Max.	
G001	VCC	Versorgungsspannung		-0.3	6	V
G002	V()	Spannung an OUT1...8/12		-0.3	6	V
G003	Vp()	Peak Spannung an OUT1...8/12	t < 100 ms, Tastverhältnis < 2 %	-0.3	18	V
G004	V()	Spannung an IN1...8/12, EN		-0.3	6	V
G005	V(GNDR)	Spannung an GNDR gegen GND		-0.3	0.3	V
G006	V(GND)	Spannung an GND gegen GNDR		-0.3	0.3	V
G007	Imx()	Strom in OUT1...8/12, IN1...8/12, EN		-10	10	mA
G008	Imx()	Strom in OUT1...8/12	t < 100 ms, Tastverhältnis < 2 %	-10	120	mA
G009	Imx()	Strom in VCC, GND		-50	50	mA
G010	Imx()	Strom in GND, GNDR	t < 100 ms, Tastverhältnis < 2 %	-100	10	mA
G011	Vd()	Zulässige ESD-Prüfspannung	HBM 100 pF entladen über 1.5 kΩ		2	kV
G012	Tj	Chip-Temperatur		-40	150	°C
G013	Ts	Lager-Temperatur		-55	125	°C

### THERMISCHE DATEN

Betriebsbedingungen: VCC = 5 V ±10 %

Kenn-Nr.	Formelzeichen	Benennung	Bedingungen	Min. / Typ / Max.			Einh.
				Min.	Typ	Max.	
T01	Ta	Zulässiger Umgebungstemperaturbereich		-40		125	°C
T02	Rthja	Thermischer Widerstand Chip/Umgebung	auf Board gelötet, ohne besondere Kühlflächen.			75	K/W

# iC-MFL / iC-MFLT

## 8-/12- FOLD FAIL-SAFE LOGIC N-FET DRIVER



Ausgabe C1, Seite 6/13

### KENNDATEN

Betriebsbedingungen: VCC = 5 V ±10%, Tj = -40...125 °C, wenn nicht anders angegeben

Kenn-Nr.	Formelzeichen	Benennung	Bedingungen	Tj °C	Bild				Einh.
						Min.	Typ	Max.	
<b>Allgemeines</b>									
001	VCC	Zulässige Versorgungsspannung				4.5	5	5.5	V
002	I(VCC)	Versorgungsstrom in VCC	(ohne Last) iC-MLF iC-MFLT			1.5		7 10	mA mA
003	I(VCC)	Fehlerstrom in VCC	VCC = 5 V, ein Ausgang auf 18 V			-50			mA
004	I(GND)	Strom in GND	(ohne Last) iC-MFL iC-MFLT			-6 -9			mA mA
005	I(GNDR)	Strom in GNDR	(ohne Last, alle OUTx = hi) iC-MFL iC-MFLT			-4 -6		-0.3	mA mA
<b>Current-Driver OUT1...8/12</b>									
101	I(OUTx)	Strom in OUTx	V() = 18 V VCC = 5 V			20		100	mA
102	U(OUTx)	zulässige Spannung	T < 100 ms, Tastverhältnis < 2 %					18	V
103	Vc(lo)	Klemmspannung lo gegen niedrigstes Potenzial von GND, GNDR	I() = -10 mA			-3		-0.4	V
104	Vs(hi)	Sättigungsspannung hi gegen VCC	Vs(hi) = VCC - V(); I() = -0.5 mA I() = -2 mA					0.2 0.8	V V
105	Vs(lo)	Sättigungsspannung lo gegen GND	I() = 0.5 mA I() = 2 mA					0.2 0.8	V V
106	Rpd()	Pull-Down-Widerstand an OUTx gegen GNDR	V(GND) > Vtr(GND)			12	30	70	kΩ
107	Isc(lo)	Kurzschlussstrom lo	V() = 0.8 V...VCC			2	3.6	6	mA
108	Isc(hi)	Kurzschlussstrom hi	V() = 0...VCC - 0.8 V			-6	-3	-2	mA
109	Vsh()	Ausgangsspannung bei Kurzschluss zweier Ausgänge	bei zwei unterschiedlichen Eingangssignalen hi und lo					1.1	V
<b>Input IN1...8/12, EN</b>									
201	Vc(hi)	Klemmspannung hi	I() = 10 mA			6			V
202	Vc(lo)	Klemmspannung lo gegen niedrigstes Potential von GND, GNDR	I() = -10 mA			-3		-0.4	V
203	Vt(hi)	Schwellspannung hi				1.1		1.4	V
204	Vt(lo)	Schwellspannung lo				0.8		1.1	V
205	Vt(hys)	Hysterese	Vt(hys) = Vt(hi) - Vt(lo)			200		400	mV
206	Ipd1()	Pull-Down-Strom 1	0.4 V < V() < Vt(hi)		4	150	225	350	μA
207	Ipd2()	Pull-Down-Strom 2	V() > 1.4 V		4	20	45	70	μA
208	Cin()	Eingangskapazität						20	pF
209	Ileak()	Eingangsleckstrom	VCC = 0 V, V() = 0...5.5 V			-10		10	μA
<b>Supply-Monitor</b>									
301	VCCon	Einschaltsschwelle VCC				3.7		4.4	V
302	VCCoff	Abschaltsschwelle VCC	abnehmende Spannung VCC			3.2		4.1	V
303	VCChys	Hysterese	VCChys = VCCon - VCCoff			100	200	600	mV
<b>Ground-Monitor GND, GNDR</b>									
401	Vtg(hi)	Schwellenspannung hi GND-Überwachung	Bezogen auf GNDR					270	mV
402	Vtg(lo)	Schwellenspannung lo GND-Überwachung	Bezogen auf GNDR			50			mV
403	Vtg(hys)	Hysterese	Vt(hys) = Vt(hi) - Vt(lo)			5		80	mV
404	Vtr(hi)	Schwellenspannung hi GNDR-Überwachung	Bezogen auf GND					270	mv

# iC-MFL / iC-MFLT

## 8-/12- FOLD FAIL-SAFE LOGIC N-FET DRIVER



Ausgabe C1, Seite 7/13

### KENNDATEN

Betriebsbedingungen: VCC = 5 V ±10 %, Tj = -40... 125 °C, wenn nicht anders angegeben

Kenn-Nr.	Formelzeichen	Benennung	Bedingungen	Tj °C	Bild				Einh.
						Min.	Typ	Max.	
405	Vtr()lo	Schwellenspannung lo GNDR-Überwachung	Bezogen auf GND			50			mV
406	Vtr()hys	Hysterese	Vt()hys = Vt()hi - Vt()lo			5		80	mV
<b>Timing</b>									
501	tp(OUTx)	Durchlaufverzögerung INx, EN → OUTx	{{INx, EN}lo → hi} → 90%OUTx, {{INx, EN}hi → lo} → 10%OUTx, ohne Cl()		1	40		200	ns

# iC-MFL / iC-MFLT

8-/12- FOLD FAIL-SAFE LOGIC N-FET DRIVER



Ausgabe C1, Seite 8/13

## KENNDATEN: Diagramme

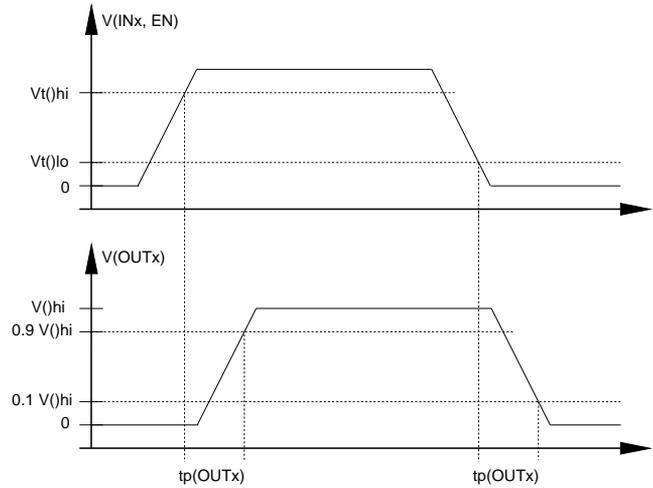


Bild 1: Verzögerungszeiten

### FUNKTIONSBESCHREIBUNG

#### Ausgangskennlinie Low-Side-Transistor

Die Low-Side-Ausgangstransistoren an den acht/zwölf Kanälen zeigen bei kleiner Spannung  $V(\text{OUT}_x)$  ein Widerstandsverhalten und bei größeren Spannungen das Verhalten einer Stromsenke mit endlichem Ausgangswiderstand.

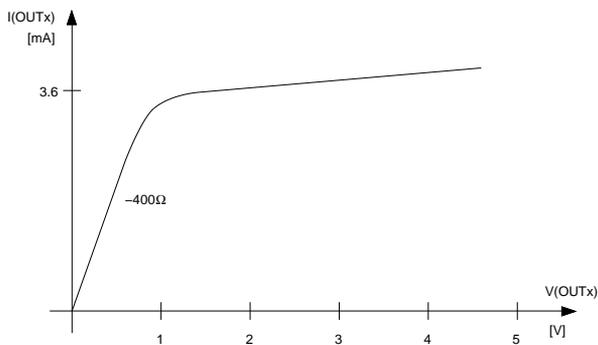


Bild 2: Ausgangskennlinie des Low-Side-Transistors an  $\text{OUT}_x$

#### Ausgangskennlinie High-Side-Transistor

Die High-Side-Ausgangstransistoren an den acht/zwölf Kanälen zeigen bei kleiner Spannung ( $V_{CC} - V(\text{OUT}_x)$ ) ein Widerstandsverhalten und bei größeren Spannungen das Verhalten einer Stromquelle mit endlichem Ausgangswiderstand.

#### Pull-Down-Ströme

Um an den Eingängen  $\text{IN}_x$  und  $\text{EN}$  eine erhöhte Störsicherheit bei begrenzter Verlustleistung zu erreichen, sind an diesen Pins die Pull-Down-Ströme zweistufig ausgeführt. Bei ansteigender Spannung an

den Eingangspins  $\text{IN}_x$  und  $\text{EN}$  bleibt der Pull-Down-Strom bis  $V_t(\text{hi})$  (Kenn-Nr. 203) hoch; oberhalb dieser Schwelle wird auf einen kleineren Pull-Down-Strom umgeschaltet. Sinkt die Spannung unter  $V_t(\text{lo})$  (Kenn-Nr. 204), so wird wieder auf den größeren Pull-Down-Strom zurückgeschaltet.

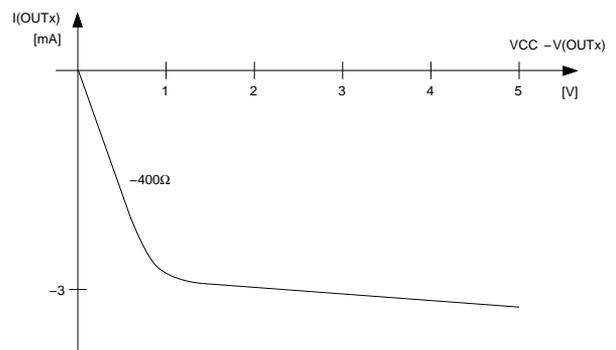


Bild 3: Ausgangskennlinie des High-Side-Transistors an  $\text{OUT}_x$

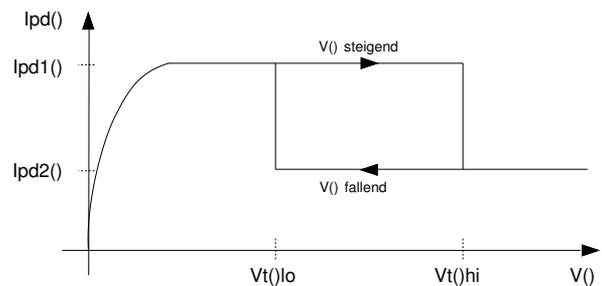


Bild 4: Pull-Down-Ströme an  $\text{IN}_x$  und  $\text{EN}$

### ERKENNUNG VON EINFACHFEHLERN

Sicherheitsrelevante Anwendungen erfordern bei der Erkennung von Einfachfehlern das definierte Ausschalten von extern angeschlossenen Schalttransistoren. Einfachfehler können dabei durch einen offenen Pin (z. B. bei einem Bonddrahtabriss oder einer schlechten Lötstelle) oder durch den Kurzschluss zweier Pins auftreten.

Befindet sich beim Kurzschluss zweier Ausgänge eine Ausgangsstufe im Low- und die andere im High-Zustand, so überwiegt die Stromfähigkeit des Low-Side-Treibers und hält somit die angeschlossenen n-Kanal-FETs im sicheren ausgeschalteten Zustand.

Bei offenen Pins schaltet der Baustein iC-MFL die Ausgangsstufen über Pull-Down-Widerstände oder über Pull-Down-Stromquellen an den Eingängen in den sicheren, definierten Low-Zustand, so dass ein extern angeschlossener n-Kanal-FET ausgeschaltet wird.

Im Folgenden werden die Ausgangskennlinien und die Mechanismen zur Erreichung des Low-Zustandes beim Wegfall einer der Versorgungsleitungen VCC, GND oder GNDR beschrieben.

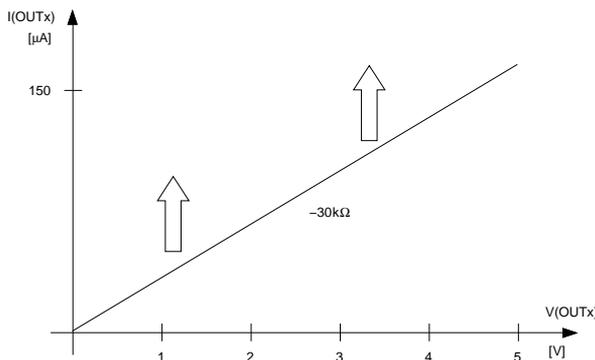


Bild 5: Ausgangskennlinie an OUTx für den Wegfall von VCC

#### Wegfall von VCC

Die Ausgänge werden bei Wegfall der Versorgungsspannung an VCC über Pull-Down-Widerstände von typisch 30 kΩ auf GNDR gezogen, die einen passiven Pfad vom Gate eines externen Schalttransistors nach

Masse bilden. Der effektiv wirksame Pull-Down-Widerstand kann sich aufgrund von Rückkopplungseffekten durch eine Selbstspeisung über die Ausgänge des ICs noch verkleinern.

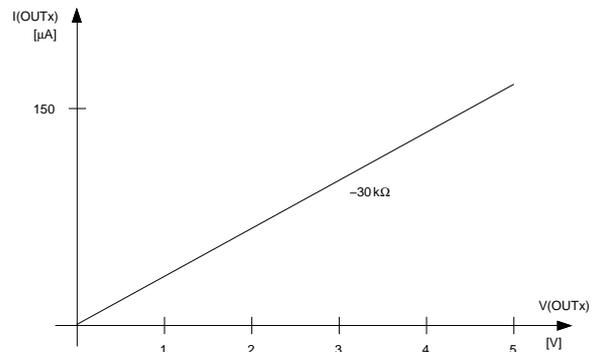


Bild 6: Ausgangskennlinie an OUTx für den Wegfall von GND

#### Wegfall von GND

Bei Wegfall des Massepotenzials an GND werden die Endstufen abgeschaltet und die Ausgänge über Pull-Down-Widerstände von typisch 30 kΩ auf GNDR gezogen.

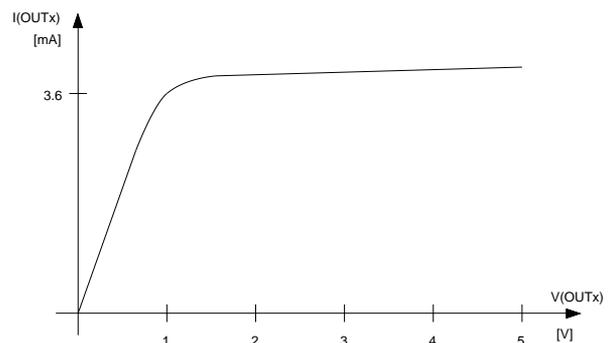


Bild 7: Ausgangskennlinie an OUTx für den Wegfall von GNDR

#### Wegfall von GNDR

Bei Wegfall des Massepotenzials an GNDR werden die High-Side-Treiber der Endstufen abgeschaltet und die Ausgänge über den Low-Side-Treiber aktiv auf GND gezogen.

### STÖRPULSE AM AUSGANG

Die Ausgangstufen können aufgrund der internen Schutzbeschaltung kurzzeitige Störpulse von bis zu 18 V aushalten. Pulsdauer und Tastverhältnis müssen unterhalb von 100 ms bzw. 2% bleiben.

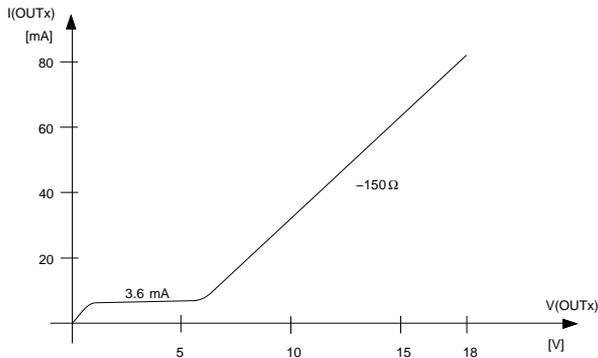


Bild 8: Ausgangskennlinie an OUTx für den Fehlerfall  $V_{out} = 18\text{ V}$  bei  $V_{in} = lo$

Die Ausgangskennlinie in Bild 8 entspricht für eine Ausgangsspannung  $V(OUTx)$  bis etwa  $V_{CC}$  der des Low-Side-Treibers gemäß Bild 2. Wird die Ausgangsspannung jedoch größer, so wird der überschüssi-

ge Strom über den Ausgangswiderstand von typisch  $150\ \Omega$  gegen Masse abgeleitet.

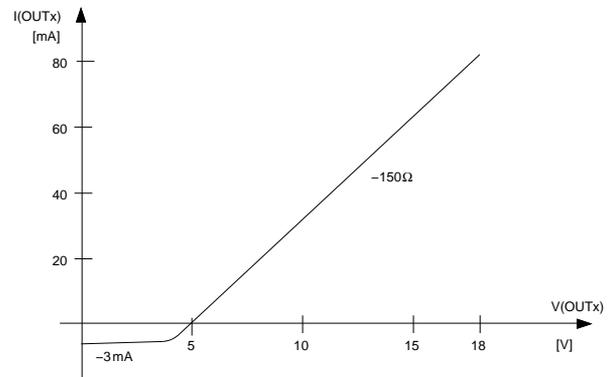


Bild 9: Ausgangskennlinie an OUTx für den Fehlerfall  $V_{out} = 18\text{ V}$  bei  $V_{in} = hi$

Die Ausgangskennlinie in Bild 9 entspricht für eine Ausgangsspannung  $V(OUTx)$  bis etwa  $V_{CC}$  der des High-Side-Treibers gemäß Bild 3. Wird die Ausgangsspannung jedoch größer, so wird der Strom über den Ausgangswiderstand von typisch  $150\ \Omega$  gegen Masse abgeleitet.

### APPLIKATIONSHINWEISE

#### Ansteuerung eines n-Kanal-MOSFETs

Ein typisches Anwendungsfeld des iC-MFL ist der Betrieb von 5-V-Logic-Level-n-FETs mit Mikroprozessorausgangssignalen von 1.8 bis 5 V. Eine typische Anwendung ist in Bild 10 dargestellt.

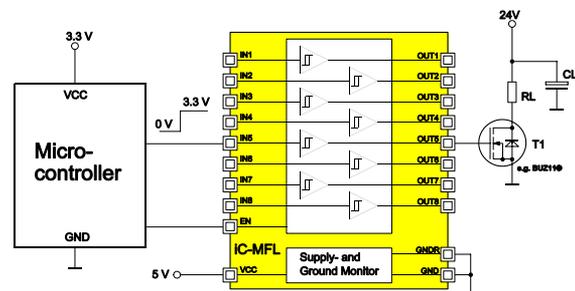


Bild 10: Ansteuerung eines n-Kanal-FETs

# iC-MFL / iC-MFLT

## 8-/12- FOLD FAIL-SAFE LOGIC N-FET DRIVER



Ausgabe C1, Seite 12/13

Die vorliegende Spezifikation betrifft ein neu entwickeltes Produkt. iC-Haus behält sich daher das Recht vor, Daten ohne weitere Ankündigung zu ändern. Die aktuellen Daten können bei iC-Haus abgefragt werden.

Ein Nachdruck dieser Spezifikation – auch auszugsweise – ist nur mit unserer schriftlichen Zustimmung und unter genauer Quellenangabe zulässig.

Die angegebenen Daten dienen ausschließlich der Produktbeschreibung. Dies gilt insbesondere auch für die angegebenen Verwendungsmöglichkeiten/Einsatzbereiche des Produktes.

Eine Garantie hinsichtlich der Eignung oder Zuverlässigkeit des Produktes für die konkret vorgesehene Verwendung wird von iC-Haus nicht übernommen.

iC-Haus überträgt an dem Produkt kein Patent, Copyright oder sonstiges Schutzrecht.

Für die Verletzung etwaiger Patent- und/oder sonstiger Schutzrechte Dritter, die aus der Ver- oder Bearbeitung des Produktes und/oder der sonstigen konkreten Verwendung des Produktes resultieren, übernimmt iC-Haus keine Haftung.

Unsere Entwicklungen, IPs, Schaltungsprinzipien und angebotenen Integrierten Schaltkreise sind grundsätzlich geeignet, naheliegend und vorgesehen für einen zweckentsprechenden Einsatz in technischen Applikationen, z. B. in Geräten und Systemen und in beliebigen technischen Einrichtungen, soweit sie nicht bestehende Schutzrechte verletzen. Prinzipiell sind die Verwendungsmöglichkeiten technisch nicht beschränkt und beziehen sich beispielsweise auf Produkte des Warenverzeichnisses für die Außenhandelsstatistik, Ausgabe 2008 und folgende, jährlich herausgegeben vom Statistischen Bundesamt, Wiesbaden, oder auf ein beliebiges Produkt des Produktkatalogs der Hannover-Messe 2007 und folgender.

Eine zweckentsprechende Applikation unserer veröffentlichten Entwicklungen verstehen wir als Stand der Technik, die nicht mehr als erfinderisch im Sinne des Patentgesetzes gelten kann. Unsere expliziten Applikationshinweise sind nur als Ausschnitt der möglichen, besonders vorteilhaften Anwendungen zu verstehen.

# iC-MFL / iC-MFLT

8-/12- FOLD FAIL-SAFE LOGIC N-FET DRIVER



Ausgabe C1, Seite 13/13

## BESTELLINFORMATION

Typ	Gehäuse	Bestellbezeichnung
iC-MFL	QFN24	iC-MFL QFN24
iC-MFLT	QFN28	iC-MFLT QFN28

Technischen Support und Auskünfte über Preise und Lieferzeiten geben:

**iC-Haus GmbH**  
Am Kuemmerling 18  
55294 Bodenheim

**Tel.: (0 61 35) 92 92-0**  
**Fax: (0 61 35) 92 92-192**  
**Web: <http://www.ichaus.com>**  
**E-Mail: [sales@ichaus.com](mailto:sales@ichaus.com)**

**Autorisierte Distributoren nach Region: [http://www.ichaus.de/support\\_distributors.php](http://www.ichaus.de/support_distributors.php)**