

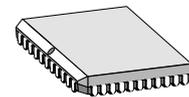
EIGENSCHAFTEN

- ◆ 2 × 4 bidirektionale Ein-/Ausgangsstufen an 24 V
- ◆ Ein-/Ausgangsfunktion programmierbar für jeweils 4-Bit
- ◆ Garantierte High-Side Treiberfähigkeit von 100 mA_{dc} und 500 mA_{peak} für Impulslast
- ◆ Kurzschlussfeste Treiber mit hoher Spannungsfestigkeit
- ◆ Kleine Sättigungsspannung von 0.6 V bei 100 mA bzw. 2 V bei 500 mA
- ◆ Integrierte Freilaufschaltungen
- ◆ PWM-Funktion mit programmierbarer Tasterdauer
- ◆ Blinkfunktion für Ausgänge
- ◆ Treiberausgänge gemeinsam abschaltbar
- ◆ Programmierbare Stromquellen zur Last-Überwachung und Logikpegel-Definition
- ◆ Digitale Eingangsfiler mit extern einstellbaren Filterzeiten
- ◆ Busfähig, schnelle µP-Schnittstelle
- ◆ Programmierbare Interrupt-Ausgabe
- ◆ Spannungs- und zweistufige Temperaturüberwachung

ANWENDUNGEN

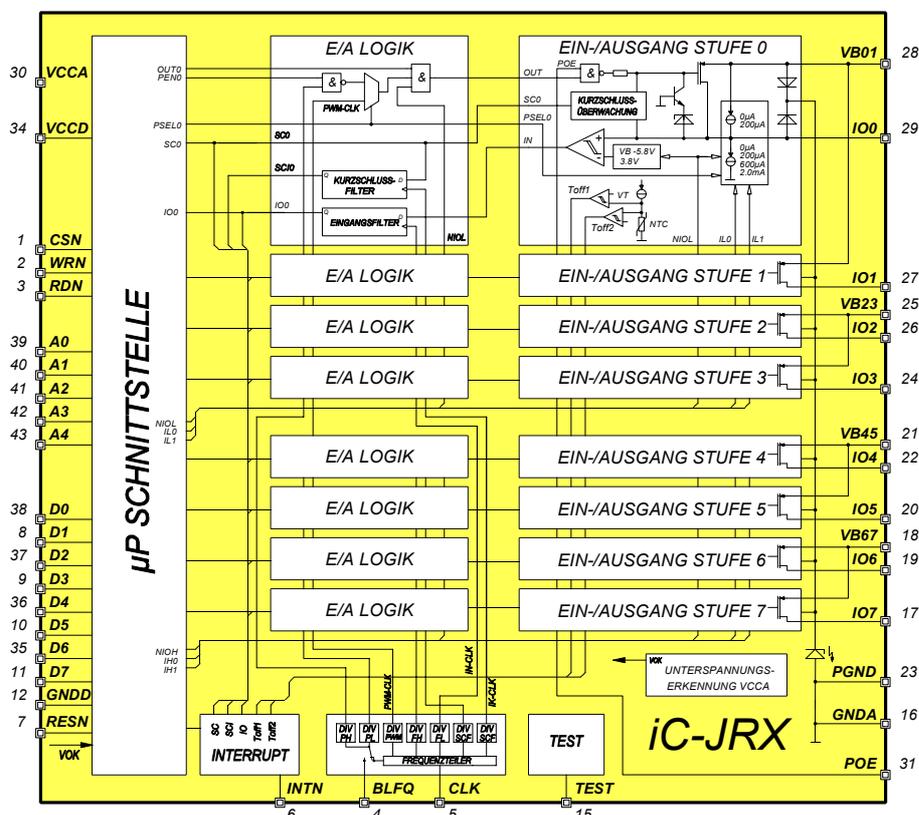
- ◆ Dual 4-fach High-Side-Treiber als bidirektionales µP-Interface mit digitaler Filterung in 24 V Industrieanwendungen

GEHÄUSE



PLCC44

BLOCKSCHALTBILD



KURZBESCHREIBUNG

Der Baustein iC-JRX ist ein 8-fach High-Side-Treiber mit integrierter Steuerlogik, der intern in zwei voneinander unabhängige Blöcke (Nibbles) unterteilt ist. Beide Blöcke sind getrennt auf Eingabe oder Ausgabe einstellbar. Die µP-Schnittstelle besteht aus acht Daten-, fünf Adress- und drei Steuerpins. Zwei weitere Takteingänge steuern interne Abläufe (Eingangsfiler, Pulsbetrieb der Ausgänge). Ausgehend vom Reset-Zustand sind abhängig von der gewählten Betriebsart unterschiedliche Registererteilungen möglich.

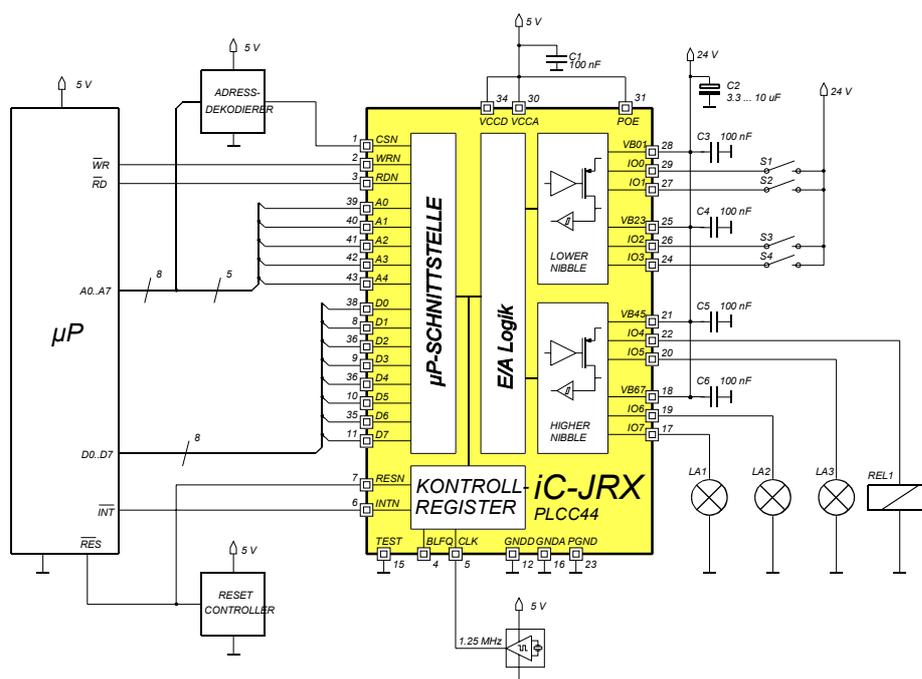
Der Eingabebetrieb dient zur Erfassung von Logikpegeln an 24 V. Bei einem Signalwechsel an den Eingängen ist die Ausgabe einer Interrupt-Meldung möglich. Zur Unterdrückung von Störsignalen sind einstellbare digitale Filter vorhanden. Der programmierbare Pull-Down-Strom stellt bei offenen Eingängen definierte Pegel ein und dient als Vorstrom für Schalterkontakte.

Im Ausgabebetrieb können die Leistungsendstufen beliebige Lasten gegen GND mit 100 mA Dauerstrom oder 500 mA im Pulsbetrieb treiben, z. B. Lampen, lange Kabel oder Relais. Schaltspitzen und Freilaufströme werden über die integrierten Freilaufschaltungen abgeleitet. Alle Endstufen sind kurzschlussfest und durch eine zweistufige Temperaturüberwachung (mit Interrupt-Meldung) vor thermischer Zerstörung bei großer Verlustleistung geschützt. Ein Kurzschluss an einem der Ausgänge kann einen Interrupt auslösen, der aktuelle Kurzschlussstatus ist über die µP-Schnittstelle abfragbar. Zur Entlastung der eingesetzten Steuer-Software lässt sich jeder Ausgang in einen Pulsbetrieb schalten, z. B. für blinkende Lampen in Anzeigetafeln. Der tatsächliche Schaltpegel des Ausganges kann über die µP-Schnittstelle ausgelesen werden und mit den Pull-Up-Strömen zur Überprüfung eines Kabelbruchs dienen. Weiterhin kann ein PWM-Signal auf einen frei wählbaren Ausgang geschaltet werden. Alle Ausgänge können über einen gemeinsamen Disable-Eingang, z. B. von einer prozessorunabhängigen Watchdog-Schaltung, ausgeschaltet werden.

Zur sicheren Verarbeitung von Interrupts durch die verwendete Steuer-Software ist eine Interrupt-Pipeline vorhanden, die einen Verlust von Interrupts verhindert.

Die Spannungsüberwachung bewirkt bei Unterspannung das Rücksetzen aller Register und schaltet hierdurch die Leistungsendstufen ab.

Alle Ein- und Ausgänge sind mit Dioden gegen Zerstörung durch ESD geschützt; der Baustein ist gegen Burst-Transienten nach IEC 1000-4-4 (4kV) immun (früher IEC 801-4).

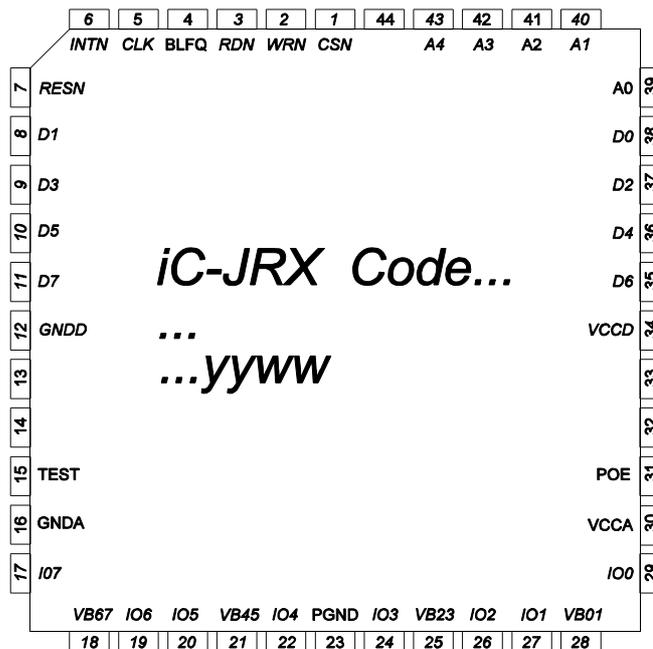


Beschaltungsbeispiel

GEHÄUSE PLCC44 nach JEDEC-Standard

ANSCHLUSSBELEGUNG PLCC44

(von oben)



PIN-FUNKTIONEN PLCC44

Nr.	Name	Fkt.	Beschreibung	Nr.	Name	Fkt.	Beschreibung
1	CSN	E	Chip Select, low-aktiv	23	PGND	V	Masseanschluss ESD-Schutzstruktur
2	WRN	E	Write Enable, low-aktiv	24	IO3	B	I/O-Stufe 3
3	RDN	E	Read Enable, low-aktiv	25	VB23	V	Treiberversorgung Kanal 2 und 3
4	BLFQ	E	Takt für Blinkfunktion	26	IO2	B	I/O-Stufe 2
5	CLK	E	Takt für Filter- und PWM-Funktion	27	IO1	B	I/O-Stufe 1
6	INTN	A	Interrupt-Anzeige, low-aktiv	28	VB01	V	Treiberversorgung Kanal 0 und 1
7	RESN	E	Reset, low-aktiv	29	IO0	B	I/O-Stufe 0
8	D1	B	Datenbus Bit 1	30	VCCA	V	+5 V Versorgungsspannung Analogteil
9	D3	B	Datenbus Bit 3	31	POE	E	Treiberfreigabe (Power Output Enable)
10	D5	B	Datenbus Bit 5	32	n.c.		
11	D7	B	Datenbus Bit 7	33	n.c.		
12	GNDD		Masseanschluss Digitalteil	34	VCCD	V	+5 V Versorgungsspannung Digitalteil
13	n.c.			35	D6	B	Datenbus Bit 6
14	n.c.			36	D4	B	Datenbus Bit 4
15	TEST	B	Testpin	37	D2	B	Datenbus Bit 2
16	GNDA	V	Masseanschluss Analogteil	38	D0	B	Datenbus Bit 0
17	IO7	B	I/O-Stufe 7	39	A0	E	Adressbus Bit 0
18	VB67	V	Treiberversorgung Kanal 6+7	40	A1	E	Adressbus Bit 1
19	IO6	B	I/O-Stufe 6	41	A2	E	Adressbus Bit 2
20	IO5	B	I/O-Stufe 5	42	A3	E	Adressbus Bit 3
21	VB45	V	Treiberversorgung Kanal 4+5	43	A4	E	Adressbus Bit 4
22	IO4	B	I/O-Stufe 4	44	n.c.		

Funktion: E = Eingang, A = Ausgang, B = bidirektional, V = Versorgung
Externe Verbindungen von VCCA, VCCD mit +5 V und GNDD, GNDA, PGND mit 0 V sind erforderlich.

PROGRAMMIERUNG

Registerbelegung							
A(4..0)d	Adresse					schreiben	lesen
	A4	A3	A2	A1	A0		
0	0	0	0	0	0	-	Eingangs-Register ¹
1	0	0	0	0	1	-	Eingangswechsel-Meldung ²
2	0	0	0	1	0	-	Interrupt-Melderegister
3	0	0	0	1	1	-	Überstrom-Meldung ³
4	0	0	1	0	0	-	Überstrom-Status
5	0	0	1	0	1	-	Bausteinkennung
6	0	0	1	1	0	Ausgangs-Register	
7	0	0	1	1	1	Blinkpuls-Freigabe	
8	0	1	0	0	0	Interrupt-Freigabe Eingangswechsel ⁴	
9	0	1	0	0	1	Interrupt-Freigabe Überstrom	
10	0	1	0	1	0	Steuerwort 1 (I/O-Filter)	
11	0	1	0	1	1	Steuerwort 2 (I/O-Pinfunktionen)	
12	0	1	1	0	0	Steuerwort 3 (Blinkpuls-Einstellungen)	
13	0	1	1	0	1	Steuerwort 4 (Filter für Überstrom-Meldung)	
14	0	1	1	1	0	Steuerwort 5 (PWM-Freigaben und Pin-Auswahl)	
15	0	1	1	1	1	PWM-Register	
16	1	0	0	0	0	-	
...	-	
26	1	1	0	1	0	-	
27	1	1	0	1	1	-	A/D-Interface
28	1	1	1	0	0	Testregister 1	
29	1	1	1	0	1	Testregister 2	
30	1	1	1	1	0	Testregister 3	
31	1	1	1	1	1	Testkontrollregister	

¹) Lesen der Eingänge bzw. Zurücklesen der Ausgänge, je nach I/O-Pinfunktion

²) für I/O-Pins mit Eingangsfunktion (bei Ausgangsfunktion enthält das Register '0')

³) für I/O-Pins mit Ausgangsfunktion (bei Eingangsfunktion enthält das Register '0')

⁴) nur bei Eingangsfunktion beschreibbar

Steuerwort 1 (I/O-Filter)								Adr: 10
								Resetzustand: 00h
	higher nibble				lower nibble			
Bit Name	7 BYPH	6 -	5 FH1	4 FH0	3 BYPL	2 -	1 FL1	0 FL0

higher nibble

Bit 7 BYPH	0 1	I/O-Filter aktiv Bypass für I/O-Filter: Die I/O-Signale werden ungefiltert weiterverarbeitet.						(r)
Bit 5..4 FH1..0		FH1	FH0	Filterzeiten				
		0	0	14.5 × tc(CLK)	± 1 × tc(CLK)			
		0	1	896.5 × tc(CLK)	± 64 × tc(CLK)			
		1	0	3584.5 × tc(CLK)	± 256 × tc(CLK)			
		1	1	7168.5 × tc(CLK)	± 512 × tc(CLK)			

lower nibble

Bit 3 BYPL	0 1	I/O-Filter aktiv Bypass für I/O-Filter: Die I/O-Signale werden ungefiltert weiterverarbeitet.						(r)
Bit 1..0 FL1..0		FL1	FL0	Filterzeiten				
		0	0	14.5 × tc(CLK)	± 1 × tc(CLK)			(r)
		0	1	896.5 × tc(CLK)	± 64 × tc(CLK)			
		1	0	3584.5 × tc(CLK)	± 256 × tc(CLK)			
		1	1	7168.5 × tc(CLK)	± 512 × tc(CLK)			

'-' freier Speicherplatz ohne Funktion, Zustand nach Reset ist '0'

'xx'h kennzeichnet hexadezimale Angaben für Logikzustände, 'x' sind binäre Angaben;

(r) Zustand nach Reset

Steuerwort 2 (I/O-Pinfunktionen)								Adr: 11
								Resetzustand: 00h
	higher nibble				lower nibble			
Bit Name	7 NIOH	6 -	5 IH1	4 IH0	3 NIOL	2 -	1 IL1	0 ILO

higher nibble

Bit 7 NIOH	0 1	Eingabe Ausgabe						
Bit 5..4 IH1..0	Stromquellen an I/O-Pins 4..7							
		IH1	IH0	bei Eingangsfunktion (Quellen Low-Side)		bei Ausgangsfunktion (Quellen High-Side)		
	0	0	0	0 µA		0 µA		
	0	1	1	200 µA		200 µA		
	1	0	0	600 µA		0 µA		
1	1	1	2 mA		200 µA (r)			

lower nibble

Bit 3 NIOL	0 1	Eingabe Ausgabe						
Bit 1..0 IL1..0	Stromquellen an I/O-Pins 0..3							
		IL1	IL0	bei Eingangsfunktion (Quellen Low-Side)		bei Ausgangsfunktion (Quellen High-Side)		
	0	0	0	0 µA		0 µA		
	0	1	1	200 µA		200 µA		
	1	0	0	600 µA		0 µA		
1	1	1	2 mA		200 µA (r)			

Steuerwort 3 (Blinkpuls-Einstellungen)								Adr: 12
Resetzustand: 00h								
	higher nibble				lower nibble			
Bit Name	7	6	5	4	3	2	1	0
	NOBLFQ	NOCLK	PH1	PH0	-	-	PL1	PL0

higher nibble

Bit 7 NOBLFQ	0 1	Der Blinkpuls wird aus dem externen Taktsignal an BLFQ erzeugt Der Blinkpuls wird aus dem Taktsignal CLK erzeugt	(r)
Bit 6 NOCLK	0 1	Betrieb mit Taktsignal an CLK (alle taktgesteuerten Aktionen sind möglich) Betrieb ohne Taktsignal an CLK (Filterung u.a. deaktiviert)	(r)
Bit 5..4 PH1..0	Blinkfrequenz für die I/O-Pins 4..7		
	PH1	PH0	
	NOBLFQ = 0		NOBLFQ = 1
	0	0	$f(\text{BLFQ})$
	0	1	$f(\text{BLFQ}) / 2$
	1	0	$f(\text{BLFQ}) / 4$
	1	1	$f(\text{BLFQ}) / 16$ (r)

lower nibble

Bit 1..0 PL1..0	Blinkfrequenz für die I/O-Pins 0..3		
	PL1	PL0	
	NOBLFQ = 0		NOBLFQ = 1
	0	0	$f(\text{BLFQ})$
	0	1	$f(\text{BLFQ}) / 2$
	1	0	$f(\text{BLFQ}) / 4$
	1	1	$f(\text{BLFQ}) / 16$ (r)

Steuerwort 4 (Filtereinstellungen für Überstrom-Meldung)								Adr: 13
Resetzustand: 00h								
Bit Name	7	6	5	4	3	2	1	0
	EOI	-	-	SCFH	BYPSCF	-	-	SCFL

Bit 7 EOI	0 1	Keine Wirkung "LÖSCHEN" der Interrupt-Meldungen (Eingangswechsel-Meldung, Interrupt-Melderegister, Überstrom-Meldung), Übernahme von Nachfolge-Interrupts aus der Pipeline, Löschen der Meldung an INTN bei leerer Pipeline; Bit setzt sich selbsttätig auf '0' zurück.	(r)
Bit 4 SCFH	0 1	Überstrom-Meldung mit Filterung 2.3 ms (higher nibble) Überstrom-Meldung mit Filterung 4.6 ms (higher nibble) Angabe der Filterzeiten bei der maximal zulässigen Taktfrequenz an CLK, d. h. 1.25 MHz: 2.3ms aus $(2689.5 \pm 192) \times t(\text{CLK})$ bzw. 4.6ms aus $(5378.5 \pm 384) \times t(\text{CLK})$	(r)
Bit 3 BYPSCF	0 1	Filter für Überstrom-Meldung aktiv Bypass für Filter: Überstrom-Meldungen werden ungefiltert weiterverarbeitet	(r)
Bit 0 SCFL	0 1	Überstrom-Meldung mit Filterung 2.3 ms (lower nibble) Überstrom-Meldung mit Filterung 4.6 ms (lower nibble)	(r)

Steuerwort 5 (PWM-Freigabe)									Adr: 14
									Resetzustand: 00h
Bit Name	7	6	5	4	3	2	1	0	
	-	-	-	PWMEN	PWMPN	PWM ADR(2)	PWM ADR(1)	PWM ADR(0)	

Bit 4 PWMEN	0 1	PWM "GESPERRT" PWM "FREI": Der mit PWMADR2..0 gewählte Ausgang erhält das PWM-Signal. Die entsprechenden Stromquellen werden abgeschaltet.							(r)
Bit 3 PWMPN	0 1	PWM-Signal aktiv low PWM-Signal aktiv high							(r)
Bit 2..0 PWMADR 2..0		PWMADR2	PWMADR1	PWMADR0	Ausgewählter I/O-Pin				
		0	0	0	IO0 (Steuerleitung PSEL0 = 1)				
		0	0	1	IO1				
		0	1	0	IO2				
		0	1	1	IO3				
		1	0	0	IO4				
		1	0	1	IO5				
		1	1	0	IO6				
		1	1	1	IO7				

PWM-Register									Adr: 15
									Resetzustand: 00h
Bit Name	7	6	5	4	3	2	1	0	
	PWM7	PWM6	PWM5	PWM4	PWM3	PWM2	PWM1	PWM0	
Bit 7..0 PWM7..0	'00'h '...h 'FF'h	Ausgangsstufe "AUS" (statisch) Länge des PWM-Signals in $16 \times t(\text{CLK})$ Schritten Ausgangsstufe "EIN" (statisch)							(r)
Das PWM-Register bestimmt die Pulslänge für das PWM-Signal. Die Ausgangswahl und Freigabe wird über das Steuerwort 5 vorgenommen.									

Eingangs-Register (nur lesen) **Adr: 0**

Lesen der Eingänge / Rückführung der Ausgänge

Resetzustand: 00h

Bit Name	7 IN7	6 IN6	5 IN5	4 IN4	3 IN3	2 IN2	1 IN1	0 IN0
----------	----------	----------	----------	----------	----------	----------	----------	----------

Bit 7..0 IN7..0	0 1	Eingang/Ausgang IOx liest '0' Eingang/Ausgang IOx liest '1'	(r)
		INx meldet den Portzustand für IOx (via I/O-Filter oder Bypass).	

Eingangswechsel-Meldung (nur lesen) **Adr: 1**

für I/O-Stufen mit Eingangsfunktion

Resetzustand: 00h

Bit Name	7 DCH7	6 DCH6	5 DCH5	4 DCH4	3 DCH3	2 DCH2	1 DCH1	0 DCH0
----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------

Bit 7..0 DCH7..0	0 1	Kein Zustandswechsel am Eingang IOx oder keine Interrupt-Freigabe Eingang IOx hatte einen zur Interrupt-Meldung freigegeben Zustandswechsel	(r)
		Mit dem Lesezugriff wird das Register gegen Veränderungen gesperrt und erst durch das Rücksetzen via EOI wieder freigegeben. Nachfolgende Interrupts, die während der Lese-Phase und noch vor dem Rücksetzen mittels EOI eintreffen, werden durch eine Interrupt-Pipeline aufgefangen. Geschieht dies, kann durch EOI die Meldung an INTN nicht gelöscht werden, d.h. INTN bleibt konstant auf low. EOI füllt in diesem Fall die Eingangswechsel-Meldung aus der Pipeline.	
		Die DCHx-Bits sind auch selektiv löscher durch Sperren und erneutes Freigeben von IENx. Für IOx-Pins mit Ausgangsfunktion wird '0' ausgegeben.	

Interrupt-Melderegister (nur lesen)								Adr: 2
								Resetzustand: 00h
	higher nibble				lower nibble			
Bit Name	7 DCHI	6 IET2	5 IET1	4 ISCI	3 -	2 ET2	1 ET1	0 SCS

higher nibble

Überstrom, Übertemperatur, Eingangswechsel (gespeicherte Interrupts)		
Mit dem Lesezugriff wird das Register gegen Veränderungen gesperrt und erst durch das Rücksetzen via EOI wieder freigegeben. Nachfolgende Interrupts für IET1 oder IET2, die während der Lesephase und noch vor dem Rücksetzen mittels EOI eintreffen, werden aufgefangen (Pipeline). Geschieht dies, kann durch EOI die Meldung an INTN nicht gelöscht werden, d. h. INTN bleibt konstant auf low. EOI füllt in diesem Fall die Übertemperatur-Meldung aus der Pipeline.		
Bit 7 DCHI	0 1	Keine Meldung Interrupt durch Eingangswechsel-Meldung (r)
Bit 6 IET2	0 1	Keine Meldung Interrupt durch Übertemperatur Stufe 2 (r)
Bit 5 IET1	0 1	Keine Meldung Interrupt durch Übertemperatur Stufe 1 (r)
Bit 4 ISCI	0 1	Keine Meldung Interrupt durch Überstrom-Meldung (r)

lower nibble

Überstrom-Status, Übertemperatur-Status (aktuelle Signale zum Auslesezeitpunkt)		
Bit 2 ET2	0 1	Kein Fehlersignal Übertemperatur Stufe 2 (Abschaltung) liegt vor (r)
Bit 1 ET1	0 1	Kein Fehlersignal Übertemperatur Stufe 1 (Warnung) liegt vor (r)
Bit 0 SCS	0 1	Kein Fehlersignal Überstrom-Status liegt vor (z.B. durch einen Low-Side-Kurzschluss) (r)

Überstrom-Meldung (nur lesen)								Adr: 3
								Resetzustand: 00h
Bit Name	7 SCI7	6 SCI6	5 SCI5	4 SCI4	3 SCI3	2 SCI2	1 SCI1	0 SCI0

Bit 7..0 SCI7..0	0 1	Keine Meldung Ausgang IOx hatte einen zur Interrupt-Meldung freigegebenen Überstrom (Kurzschluss) (r)
Mit dem Lesezugriff wird das Register gegen Veränderungen gesperrt und erst durch das Rücksetzen via EOI wieder freigegeben. Nachfolgende Interrupts, die während der Lesephase und noch vor dem Rücksetzen mittels EOI eintreffen, werden durch eine Interrupt-Pipeline aufgefangen. Geschieht dies, kann durch EOI die Meldung an INTN nicht gelöscht werden, d. h. INTN bleibt konstant auf Low. EOI füllt in diesem Fall die Überstrom-Meldung aus der Pipeline.		
Die SCIx-Bits sind auch selektiv löscher durch Sperren und erneutem Freigeben von IENx.		
Für IOx-Pins mit Eingangsfunktion wird '0' ausgegeben. SCIx meldet für IOx.		

Überstrom-Status (nur lesen) Adr: 4

Resetzustand: 00h

Bit Name	7 SC7	6 SC6	5 SC5	4 SC4	3 SC3	2 SC2	1 SC1	0 SC0
----------	----------	----------	----------	----------	----------	----------	----------	----------

Bit 7..0 SC7..0	0 1	Kein Überstrom Überstrom im Ausgang IOx, z. B. durch einen Low-Side-Kurzschluss Signal dient zur Fehleranalyse und generiert keine Interrupts (Echtzeit, kein Register). Für I/O-Pins mit Eingangsfunktion wird '0' ausgegeben. SCx meldet für IOx.
--------------------	--------	---

Bausteinkennung (nur lesen) Adr: 5

Resetzustand: 00h

Bit Name	7 -	6 -	5 DID5	4 DID4	3 DID3	2 DID2	1 DID1	0 DID0
----------	--------	--------	-----------	-----------	-----------	-----------	-----------	-----------

Bit 5..0 DID5..0		Identifizierungsnummer für iC-JRX: '00 0000' (binär) Bei RESN = '0' sowie bei Unterspannung ist DID0= '1'	(r)
---------------------	--	--	-----

Ausgangs-Register Adr: 6

für I/O-Stufen mit Ausgangsfunktion

Resetzustand: 00h

Bit Name	7 OUT7	6 OUT6	5 OUT5	4 OUT4	3 OUT3	2 OUT2	1 OUT1	0 OUT0
----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------

Bit 7..0 OUT7..0	0 1	High-Side-Treiber "AUS" High-Side-Treiber "EIN", d. h. im Normalfall IOx = '1' OUTx schaltet den High-Side-Treiber für IOx.	(r)
---------------------	--------	---	-----

Blinkpuls-Freigabe Adr: 7

für I/O-Stufen mit Ausgangsfunktion

Resetzustand: 00h

Bit Name	7 PEN7	6 PEN6	5 PEN5	4 PEN4	3 PEN3	2 PEN2	1 PEN1	0 PEN0
----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------

Bit 7..0 PEN7..0	0 1	Blinkpulse "GESPERRT" Blinkpulse "FREI" PENx gibt den Blinkpuls für IOx frei.	(r)
---------------------	--------	---	-----

Interrupt-Freigabe Eingangswechsel für I/O-Stufen mit Eingangsfunktion

Adr: 8

Resetzustand: 00h

Bit Name	7 IEN7	6 IEN6	5 IEN5	4 IEN4	3 IEN3	2 IEN2	1 IEN1	0 IEN0
----------	--------	--------	--------	--------	--------	--------	--------	--------

Bit 7..0 IEN7..0	0 1	Interrupt-Auslösung durch IOx "GESPERRT" Interrupt-Auslösung "FREI": ein hi → lo oder lo → hi Zustandswechsel am Eingang IOx löst einen Interrupt aus. Ausgänge IOx können nicht zur Meldung freigegeben werden. IENx gibt die Interrupt-Auslösung für Eingang IOx frei.						(r)
---------------------	--------	--	--	--	--	--	--	-----

Interrupt-Freigabe Überstrom

Adr: 9

Resetzustand: 00h

Bit Name	7 SCEN7	6 SCEN6	5 SCEN5	4 SCEN4	3 SCEN3	2 SCEN2	1 SCEN1	0 SCEN0
----------	---------	---------	---------	---------	---------	---------	---------	---------

Bit 7..0 SCEN7..0	0 1	Interrupt-Auslösung "GESPERRT" Interrupt-Auslösung "FREI": ein Kurzschluss an IOx löst einen Interrupt aus. SCENx gibt Interrupt-Auslösung für IOx frei.						(r)
----------------------	--------	--	--	--	--	--	--	-----

GRENZWERTE

Keine Zerstörung, Funktion nicht garantiert.

Kenn Nr.	Formelzeichen	Benennung	Bedingungen	Bild	Min. Max.		Einh.
					Min.	Max.	
G001	VCCD VCCA	Versorgungsspannung VCCD, VCCA			-0.3	7	V
G002	VB	Versorgungsspannung VB			-0.3	30	V
G003	V(IO)	Spannung an IO0..7	IOx= aus		-10	30	V
G004	I _{dc} (IO)	Strom in IO0..7		1	-500	100	mA
G005	I _{pk} (IO)	Pulsstrom in IOx	IOx= hi (*), τ= 2ms, T _≥ 2s	2	-1		A
G006	I _{max} ()	Strom in VCCD, VCCA			-50	50	mA
G007	I _{max} (VB)	Strom in VB01, VB23, VB45, VB67			-4	4	A
G008	I _c ()	Schutzdiodenstrom in CSN, WRN, RDN, A0..4, D0..7, RESN, CLK, BLFQ, POE	D0..7 mit Eingangsfunktion		-20	20	mA
G009	I()	Strom in D0..7, INTN	D0..7 mit Ausgangsfunktion		-25	25	mA
G010	I _{lu} ()	Pulsstrom in CSN, WRN, RDN, A0..4, D0..7, RESN, CLK, BLFQ, INTN, POE, IO0..7 (Latch-Up Festigkeit)	Pulsdauer < 10µs, alle Ein-/Ausgänge offen		-100	100	mA
E001	V _d ()	Zulässige ESD-Prüfspannung an allen Pins	MIL-STD-883, Methode 3015; HBM 100pF entladen über 1.5kΩ			2	kV
E002	V _b ()	Zulässige Burst-Transienten an IO0..7	nach IEC 1000-4-4			4	kV
TG1	T _j	Chiptemperatur			-40	150	°C
TG2	T _s	Lagertemperatur			-40	150	°C

(*) IOx= hi: Pin programmiert als Ausgang und aktiv high, x= 0..7

THERMISCHE DATEN

Betriebsbedingungen: VCCD= VCCA= 5V ±10%, VB= 19.2..25.2V, GND_A= GND_D= PGND= 0V, alle Eingänge beschaltet (hi bzw. lo)

Kenn Nr.	Formelzeichen	Benennung	Bedingungen	Bild	Min. Typ. Max.			Einh.
					Min.	Typ.	Max.	
T1	T _a	Zulässiger Umgebungstemperaturbereich			0		70	°C
T2	R _{thja}	Thermischer Widerstand Chip / Umgebung	SMD-Montage, ohne besondere Kühlflächen			55		K/W

KENNDATEN

Betriebsbedingungen: VCCD= VCCA= 5V ±10%, VB= 19.2..25.2V, GNDA= GNDD= PGND= 0V, alle Eingänge beschaltet (hi bzw. lo), Tj= 0..125°C wenn nicht anders angegeben.

Kenn Nr.	Formelzeichen	Benennung	Bedingungen	Tj °C	Bild				Einh.	
						Min.	Typ.	Max.		
Allgemeines										
001	VCCA	Zulässige Versorgungsspannung VCCA				4.5		5.5	V	
002	I(VCCA)	Versorgungsstrom in VCCA					7.5	13	mA	
003	I(VCCA)	Versorgungsstrom in VCCA	keine Versorgungsspannung VB					25	mA	
004	VCCD	Zulässige Versorgungsspannung VCCD				4.5		5.5	V	
005	I(VCCD)	Versorgungsstrom in VCCD (statisch)	alle Logikeingänge lo= 0V oder hi= VCCD				0.3	3.0	mA	
006	I(VCCD)	Versorgungsstrom in VCCD (dynamisch)	kontinuierlicher Lesezyklus tlo(RDN)= thi(RDN)= 200ns; Datenwort "00" und "FF" wird abwechselnd gelesen, CL(D0..7)= 200pF					35	mA	
007	I(VCCD)	Versorgungsstrom in VCCD	alle Logikeingänge lo= 0.8V				80		mA	
008	I(VCCD)	Versorgungsstrom in VCCD	alle Logikeingänge hi= 2.0V				100		mA	
009	VB	Zul. Versorgungsspannung VB (Funktionsbereich)				19.2		25.2	V	
010	I(VB)	Versorgungsstrom in VB	POE= hi, IOx= hi, unbelastet				8.5	14	mA	
011	I(VB)	Versorgungsstrom in VB	IOx= aus				2	4	mA	
012	Vc(lo)	ESD Clamp Spannung lo an VCCA, VCCD, VB	I()= -20mA			-1.4		-0.3	V	
013	Vc(hi)	ESD Clamp Spannung hi an VCCA	I()= 20mA					11	V	
014	Vc(hi)	ESD Clamp Spannung hi an VB	I()= 20mA			30	47	60	V	
015	Vc(lo)	ESD Clamp Spannung lo an IOx	I()= -20mA			-30		-10	V	
016	Vc(hi)	ESD Clamp Spannung hi an IOx	I()= 20mA			30	47	60	V	
Ein-/Ausgangsstufen: High-Side Treiber IO0..7										
101	Vs(hi)	Sättigungsspannung hi	Vs(hi)= VB -V(IOx); I(IOx)= -10mA	1				0.2	V	
102	Vs(hi)	Sättigungsspannung hi	Vs(hi)= VB -V(IOx); I(IOx)= -100mA	1				0.6	V	
103	Vs(hi)	Sättigungsspannung hi bei Pulslast	Vs(hi)= VB -V(IOx); I(IOx)= -500mA, τ= 2ms, T ≥ 2s	2				2.0	V	
104	Isc(hi)	Überstrombegrenzung	V(IOx)= 0..VB-3V			-1.8		-0.55	A	
105	It(jscs)	Stromschwelle für Überstrom-Meldung				-1.2		-0.55	A	
106	Vc(lo)	Clamp Spannung lo bei Freilauf	I(IOx)= -100mA			-15		-12	V	
107	SRhi()	Slew Rate hi	CL= 0..100pF, RL= 240Ω..1kΩ			15		40	V/µs	
108	SRlo()	Slew Rate lo	CL= 0..100pF, RL= 240Ω..1kΩ			15		40	V/µs	
109	tplh()	Verzögerungszeit bis IOx: lo-hi	Schreibzyklus, WRN: lo-hi bis V(IOx) > V0(IOx)+1V					5	µs	
110	tphl()	Verzögerungszeit bis IOx= gesperrt	Schreibzyklus, WRN: lo-hi bis V(IOx) < 80% (VB-Vs(IOx)hi)					5	µs	

KENNDATEN

Betriebsbedingungen: VCCD= VCCA= 5V ±10%, VB= 19.2..25.2V, GNDA= GNDD= PGND= 0V, alle Eingänge beschaltet (hi bzw. lo), Tj= 0..125°C wenn nicht anders angegeben.

Kenn Nr.	Formelzeichen	Benennung	Bedingungen	Tj °C	Bild				Einh.
						Min.	Typ.	Max.	
Ein-/Ausgangsstufen: Stromquellen an IO0..7									
201	l _{pd} ()	Pull-Down Stromquelle (200µA)	IOx mit Eingangsfunktion, IL1= IH1= 0, IL0= IH0= 1, V(IOx)= 3V..VB			120	200	280	µA
202	l _{pd} ()	Pull-Down Stromquelle (600µA)	IOx mit Eingangsfunktion, IL1= IH1= 1, IL0= IH0= 0, V(IOx)= 3V..VB			400	600	800	µA
203	l _{pd} ()	Pull-Down Stromquelle (2mA)	IOx mit Eingangsfunktion, IL1= IH1= 1, IL0= IH0= 1, V(IOx)= 3V..VB			1.4	2.0	2.7	mA
204	l _{pu} ()	Pull-Up Stromquelle (200µA)	IOx mit Ausgangsfunktion und IOx= aus, IL0, IH0= 1; V(IOx)= -7V..VB-2V			120	200	280	µA
205	t _p () _{lon}	Verzögerungszeit bis Pull-Down bzw. Pull-Up Stromquellen aktiv	Schreibzyklus, WRN: lo-hi bis I(IOx) > 90% l _{pd} (IOx) bzw. I(IOx) > 90% l _{pu} (IOx)					5	µs
206	t _p () _{loff}	Verzögerungszeit bis Pull-Down bzw. Pull-Up Stromquellen inaktiv	Schreibzyklus, WRN: lo-hi bis I(IOx) < 10% l _{pd} (IOx) bzw. I(IOx) < 10% l _{pu} (IOx)					5	µs
207	l _{lk} ()	Leckstrom	IOx mit Eingangsfunktion oder Ausgangsfunktion mit IOx= aus und IL1, IH1, IL0, IH0= 0; V(IOx)= -7V..VB			-20		20	µA
208	l _{lk} ()	Leckstrom	Logik wie Kenn-Nr. 207; V(IOx)= -10V..-7V			-100		20	µA
209	l _{lk} ()	Leckstrom	Logik wie Kenn-Nr. 207; V(IOx)= VB..VB+0.4V			-20		100	µA
210	l _{lk} ()	Leckstrom	Logik wie Kenn-Nr. 207; V(IOx)= VB..30V				200	500	µA
211	l _{lk} ()	Leckstrom	keine Versorgungsspannung VB					5	mA
Ein-/Ausgangsstufen: Komparatoren IO0..7									
301	V _{in} ()	Zulässige Eingangsspannung gegen VB	V(VB)= 0..25.2V (G003 beachten)					25.2	V
302	V _t () _{hi}	Schwelspannung hi	IOx mit Eingangsfunktion					82	%VCC
303	V _t () _{lo}	Schwelspannung lo	IOx mit Eingangsfunktion			66			%VCC
304	V _t () _{hys}	Hysterese	IOx mit Eingangsfunktion, V _t () _{hys} = V _t () _{hi} -V _t () _{lo}			100			mV
305	V _t () _{hi}	Schwelspannung hi gegen VB	IOx mit Ausgangsfunktion, V _t () _{hi} = VB -V(IOx)			5.0			V
306	V _t () _{lo}	Schwelspannung lo gegen VB	IOx mit Ausgangsfunktion, V _t () _{lo} = VB -V(IOx)					6.7	V
307	V _t () _{hys}	Hysterese	IOx mit Ausgangsfunktion, V _t () _{hys} = V _t () _{lo} -V _t () _{hi}			100			mV
308	t _p (IOx -Dx)	Verzögerungszeit von IOx als Eingang nach Dx	I/O-Filter inaktiv, CSN= lo, RDN= lo, A0..4= lo					10	µs

KENNDATEN

Betriebsbedingungen: VCCD= VCCA= 5V ±10%, VB= 19.2..25.2V, GNDA= GNDD= PGND= 0V, alle Eingänge beschaltet (hi bzw. lo), Tj= 0..125°C wenn nicht anders angegeben.

Kenn Nr.	Formelzeichen	Benennung	Bedingungen	Tj °C	Bild				Einh.
						Min.	Typ.	Max.	
Temperaturüberwachung									
401	Toff1	Übertemperatur Stufe 1: Warnung				105		130	°C
402	Toff1	Rücknahme Stufe 1				100		125	°C
403	Thys1	Temperatur-Hysterese Stufe 1	Thys1= Ton1 -Toff1			2		7	°C
404	Toff2	Übertemperatur Stufe 2: Abschaltung				130		155	°C
405	Ton2	Rücknahme Stufe 2				100		125	°C
406	Thys2	Temperatur-Hysterese Stufe 2	Thys2= Toff2 -Ton2			22		37	°C
407	ΔT	Temperaturdifferenz zwischen Stufe 2 und Stufe 1	ΔT= Toff2 -Toff1			20		30	°C
Bias und Spannungsüberwachung									
501	VCCAon	Einschaltswelle VCCA (Power-On Freigabe)				3.9	4.1	4.4	V
502	VCCAoff	Abschaltswelle VCCA (Power-Down Reset)				3.8	4.0	4.3	V
503	VCCAhys	Hysterese	VCCAhys= VCCAon -VCCAoff			80	100	130	mV
504	toff	Power-Down Mindestdauer für Unterspannungserkennung	VCCA= 2.5V..VCCAoff			1			µs
505	tdoff	Verzögerungszeit bis Reset nach Unterspannung an VCCA						12	µs
µP-Schnittstelle, I/O-Logik, Frequenzteiler, Interrupt									
701	Ilk(Dx)	Leckstrom in Dx	D0..7 mit Eingangsfunktion			-5		5	µA
702	li()	Eingangsstrom in Schmitt-Trigger Eingang CSN, WRN, RDN, A0..4, RESN, CLK, BLFQ, D0..7	V()= 0V..VCCD, D0..7 mit Eingangsfunktion			-1		1	µA
703	Vt()hi	Schwellspannung hi an Schmitt-Trigger Eingang CSN, WRN, RDN, A0..4, RESN, CLK, BLFQ, D0..7	D0..7 mit Eingangsfunktion					2.2	V
704	Vt()lo	Schwellspannung lo an Schmitt-Trigger Eingang CSN, WRN, RDN, A0..4, RESN, CLK, BLFQ, D0..7	D0..7 mit Eingangsfunktion			0.8			V
705	Vt()hys	Hysterese an Schmitt-Trigger Eingang CSN, WRN, RDN, A0..4, RESN, CLK, BLFQ, D0..7	Vt()hys= Vt()hi-Vt()lo; D0..7 mit Eingangsfunktion			300			mV
706	Vs()hi	Sättigungsspannung hi an INTN	Vs()hi= VCCD -V(INTN); I(INTN)= -2mA					0.80	V
707	Vs()lo	Sättigungsspannung lo an INTN	I(INTN)= 100µA I(INTN)= 2mA					0.20 0.49	V V
708	Vs()hi	Sättigungsspannung hi an Dx	Vs()hi= VCCD -V(Dx); I(Dx)= -4mA					0.80	V
709	Vs()lo	Sättigungsspannung lo an Dx	I(Dx)= 4mA					0.49	V

KENNDATEN

Betriebsbedingungen: VCCD= VCCA= 5V ±10%, VB= 19.2..25.2V, GNDA= GNDD= PGND= 0V, alle Eingänge beschaltet (hi bzw. lo), Tj= 0..125°C wenn nicht anders angegeben.

Kenn Nr.	Formelzeichen	Benennung	Bedingungen	Tj °C	Bild				Einh.
						Min.	Typ.	Max.	
µP-Schnittstelle, I/O-Logik, Frequenzteiler, Interrupt (Fortsetzung)									
710	Vc()hi	ESD Clamp Spannung hi an CSN, WRN, RDN, A0..4, RESN, CLK, BLFQ, D0..7, INTN	Vc()hi= V() -VCCD; D0..7 mit Eingangsfunktion, I()= 20mA			0.4		1.5	V
711	Vc()lo	ESD Clamp Spannung lo an CSN, WRN, RDN, A0..4, RESN, CLK, BLFQ, D0..7, INTN	D0..7 mit Eingangsfunktion, I()= -20mA			-1.5		-0.4	V
Eingang POE									
F01	Vt()hi	Schwellspannung hi						2.2	V
F02	Vt()lo	Schwellspannung lo				0.8			V
F03	Vt()hys	Hysterese	Vt()hys= Vt()hi -t()lo			300			mV
F04	Rpd()	Pull-Down Widerstand				24		72	kΩ
F05	td(POE -IOx)	Verzögerungszeit von POE bis IOx= gesperrt	RL= 240Ω..1kΩ, POE: hi-lo bis V(IOx)< 80% (VB -Vs(IOx)hi)					5	µs
F06	tw()lo	Zulässige Impulsbreite für Freigabe / Sperren				1000			ns
F07	tsup()	Zulässige Störimpulsbreite						100	ns
F08	Vc()hi	ESD Clamp Spannung hi	Vc()hi= V(POE) -VCCA; I(POE)= 20mA			0.8		2	V
F09	Vc()lo	ESD Clamp Spannung lo	I(POE)= -20mA			-1.5		-0.4	V
Frequenzteiler BLFQ, CLK									
801	td()	Zulässige Periodendauer an CLK				800			ns
802	tw()	Zul. Pulsdauer lo an CLK				400			ns
803	td()	Zul. Periodendauer an BLFQ				100			ms
804	tw()	Zul. Pulsdauer lo an BLFQ				50			ms

KENNDATEN: SIGNALFORMEN



Bild 1: Belastungsfall DC

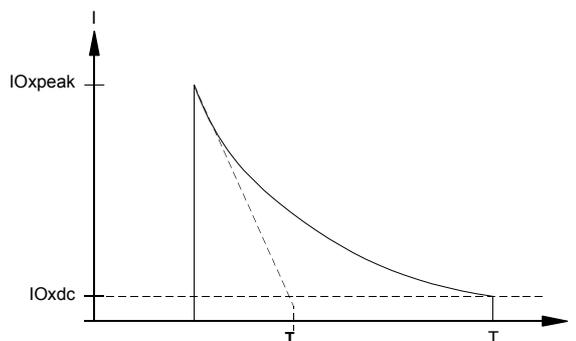


Bild 2: Belastungsfall Puls 2 ms

BETRIEBSBEDINGUNGEN: µP-SCHNITTSTELLE

Betriebsbedingungen: VCCD, VCCA= 5V ±10%, VB= 19.2..25.2V, GNDA= GNDD= PGND= 0V, Ta= 0..70°C, CL(=) = 150pF, Eingangspegel lo= 0.45V, hi= 2.4V, Bezugspegel für Zeitangaben nach Bild 3

Kenn Nr.	Formelzeichen	Benennung	Bedingungen	Bild	Zeit		Einh.
					Min.	Max.	
Lesezyklus							
I1	tAR1 tAR2	Vorbereitungszeit: CSN, A0..4 stabil vor RDN hi-lo		4	30		ns
I2	tRA	Haltezeit: CSN, A0..4 stabil nach RDN lo-hi		4	10		ns
I3	tRD	Wartezeit: Daten gültig nach RDN hi-lo		4		120	ns
I4	tDF	Rückstellzeit: Datenbus hochohmig nach RDN lo-hi		4		65	ns
I5	tRL	Erforderliche Lesesignaldauer an RDN			50		ns
Schreibzyklus							
I6	tAW1 tAW2	Vorbereitungszeit: CSN, A0..4 stabil vor WRN lo-hi		4	30		ns
I7	tdw	Vorbereitungszeit: gültige Daten vor WRN lo-hi		4	100		ns
I8	tWA	Haltezeit: CSN, A0..4 stabil nach WRN lo-hi		4	10		ns
I9	tWD	Haltezeit: gültige Daten nach WRN lo-hi		4	10		ns
I10	tWL	Erforderliche Lesesignaldauer an WRN		4	50		ns
Schreiben/Lesen							
I11	t _{cyc}	Zeit zwischen Zyklen: RDN lo-hi zu RDN hi-lo, RDN lo-hi zu WRN hi-lo, WRN lo-hi zu WDN hi-lo, WRN lo-hi zu RDN hi-lo		4	165		ns

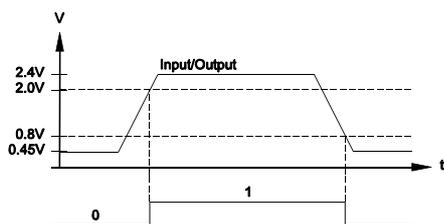


Bild 3: Bezugspegel für Zeitangaben

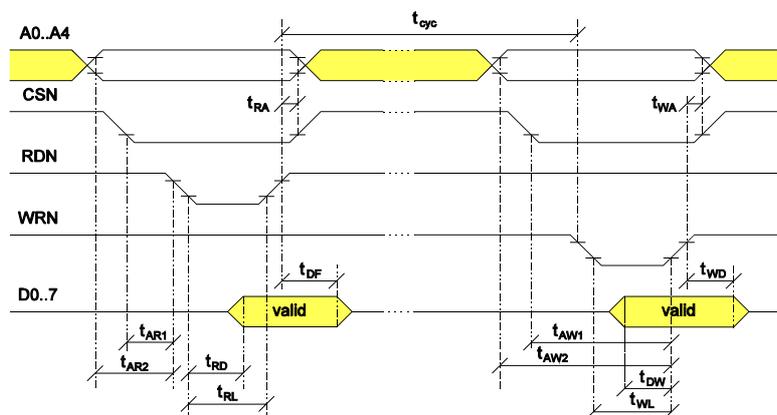


Bild 4: Lese- und Schreibzyklus

FUNKTIONSBESCHREIBUNG

Als bidirektionales IC kann der Baustein iC-JRX an den I/O-Pins anstehende Signale auswerten sowie gegen Masse angeschlossene Lasten treiben. Die Eingangs- oder Ausgangsfunktion kann 4-bitweise eingestellt werden (pro 'Nibble').

I/O-Stufen mit Eingangsfunktion leiten das außen anstehende Signal über eine digitale Filterung weiter, die über einen Bypass auf Wunsch überbrückbar ist. Der Pegelwechsel an einem Eingang kann - die Freigabe zur Meldung vorausgesetzt - einen Interrupt am Pin INTN generieren. Um Logikpegel für die Eingänge zu definieren, stehen für jedes Nibble separat programmierbare Low-Side-Stromquellen zur Verfügung (Bereiche 200 µA, 600 µA, 2 mA).

I/O-Stufen mit Ausgangsfunktion können Ströme bis zu 500 mA schalten. Durch eine einschaltbare 200 µA High-Side-Stromquelle kann die Last auf eine Unterbrechung geprüft werden. Integriert sind eine PWM-Funktion sowie eine Blinkfunktion für Anzeigelampen, die jeweils für einen beliebigen Ausgangspin angewählt werden können. Sollte für einen der Ausgänge ein Überstrom festgestellt werden, z. B. durch einen Kurzschluss verursacht, so kann dies bei entsprechender Freigabe als Interrupt angezeigt werden. Bei starker IC-Erwärmung wird zunächst eine Temperaturwarnung per Interrupt ausgegeben, bevor in einer zweiten Stufe bei weiterer Temperaturerhöhung die Ausgänge abgeschaltet werden.

I/O-Stufen mit Eingangsfunktion**Eingangs-Register (Adr 0):** Lesen der Eingänge

Ein High-Pegel an IOx erzeugt ein High-Signal an Dx. Die Änderung eines Eingangssignals wird durch eine digitale Filterung erst nach Ablauf der wählbaren Filterzeit aufgenommen. Hierbei schaltet der Eingangskomparator jeder I/O-Stufe die Zählrichtung eines 3-Bit-Zählers um. Erst nach Erreichen des Endstandes ändert sich der Zählerausgang. Durch ein Low-Signal am Rücksetzeingang RESN werden die Zähler auf den Wert 3 gesetzt. Der Zähler wird extern über den Pin CLK getaktet.

Für beide Nibble ist der Umsetzungsfaktor für die Taktfrequenz sowie die Umgehung des Eingangs-Filters getrennt programmierbar (die Umgehung durch BYPH bzw. BYPL im Steuerwort 1). Diese Bypass-Schaltung ermöglicht den Betrieb ohne externes Clock-Signal (s.u.).

Nach Freigabe der Eingangswechsel-Meldung (Adr 8) wird ein Pegelwechsel an einem der I/O-Pins durch einen Interrupt an den Mikrocontroller gemeldet.

I/O-Stufen mit Ausgangsfunktion**Eingangs-Register (Adr 0):** Lesen der Ausgangsrückführung

Ein High-Pegel an IOx erzeugt ein High-Signal an Dx. Hierdurch kann der steuernde Mikrocontroller direkt den Schaltzustand überprüfen bzw. zusammen mit der 200µA-High-Side-Stromquelle den Kanal auf Kabelbruch kontrollieren. Analog zum Lesen der Eingänge können die Rücklesesignale gefiltert oder ungefiltert weiterverarbeitet werden.

Ausgangs-Register (Adr 6): Ein-/Ausschalten der einzelnen Ausgangsstufen (für POE = 1).

Blinkpuls-Freigabe (Adr 7): Freigabe der Blinkfunktion

Hiermit kann jede einzelne Ausgangsstufe auf Blinken gestellt werden. Voraussetzung ist, der entsprechende Ausgangs-Registerwert ist '1'. Die Blinkfrequenz wird von BLFQ abgeleitet oder kann alternativ aus CLK generiert werden (via NOBLFQ im Steuerwort 3). Für beide Nibbles (Pins 0..3 und 4..7) können verschiedene Blinkfrequenzen eingestellt werden.

PWM-Freigabe (Adr 14)

Im Steuerwort 5 kann mit Hilfe von PWMEN die Aufschaltung eines PWM-Signales für eine beliebige Ausgangsstufe aktiviert werden. Vorausgewählt wird die I/O-Stufe durch PWMADR2..0. Die Richtung des PWM-Signales, high-aktiv oder low-aktiv, bestimmt PWMPN. Die PWM-Signalfrequenz ergibt sich aus dem Wert des PWM-Registers (Adr 15) multipliziert mit $16 \times td(CLK)$.

Interrupts

Interrupt-Anzeigen an INTN können ausgelöst werden durch den Wechsel eines (gefilterten) Eingangssignals, durch eine Überstrom-Meldung an einem I/O-Pin (z. B. durch einen Kurzschluss) sowie durch Überschreitung von Übertemperaturgrenzen (2 Stufen).

Für jede einzelne I/O-Stufe kann die Interrupt-Anzeige durch eine Eingangswechsel-Meldung, bei Stufen mit Ausgangsfunktion aber auch durch einen Kurzschluss ausgelöst werden. Die entsprechenden Interrupt-Freigaben bestimmen, welche Meldungen gespeichert werden und zur Anzeige kommen. Die Interruptanzeige durch Übertemperatur ist nicht maskierbar, sondern immer freigegeben.

Bei Auftreten eines zur Interrupt-Anzeige freigegebenen Ereignisses wird der Ausgang INTN zu '0'. Durch das Auslesen des Interrupt-Melderegisters (Adr 2) kann die Art der Meldung festgestellt und danach auch die verursachende I/O-Stufe lokalisiert werden. So wird bei einer Eingangswechsel-Meldung im entsprechenden Register (Adr 1) die auslösende I/O-Stufe angezeigt, bei Meldung eines Überstrom-Interrupts identifiziert das Überstrom-Melderegister (Adr 3) die I/O-Stufe mit Kurzschluss.

Gelöscht werden Interrupts einfach durch das Setzen von EOI im Steuerwort 4. Dieses Bit setzt sich anschließend selbständig wieder auf '0' zurück. Wird im Betrieb die Ausgangsfunktion umgeschaltet, z. B. von Eingangs- auf Ausgangsfunktion, werden ebenfalls alle Interrupt-Meldungen via EOI gelöscht.

Damit zwischen dem Auslesen eines Melderegisters und dem Löschen des anstehenden Interrupts keine Interrupt-Meldung aus einer anderen Quelle unerkannt bleibt, werden nachfolgende Meldungen in einer Pipeline gespeichert. Sind nachfolgende Meldungen vorhanden, verbleibt nach dem Löschen des anstehenden Interrupts via EOI der Ausgang INTN auf '0' und die neue Interruptquelle wird im Interrupt-Melderegister sowie in den Typ-spezifischen Melderegistern angezeigt.

Überstrom-Meldung

Bei Überlast an einem Ausgang wird der Strom in IOx begrenzt. In diesem Falle wird, bei entsprechender Interrupt-Freigabe für die Überstrom-Meldung (Adr 9) und nach Ablauf der mit Steuerwort 4 eingestellten Filterzeit, eine Interrupt-Anzeige ausgelöst. Im Interrupt-Melderegister (Adr 2) wird hierbei ISCI und im Überstrom-Melderegister (Adr 3) das entsprechende Bit für die auslösende I/O-Stufe gesetzt.

Unter der Adresse 4 kann der aktuelle und ungefilterte Überstrom-Status jeder einzelnen I/O-Stufe abgefragt werden; auch eine globale Abfrage für alle I/O-Stufen ist über das Bit SCS im Interrupt-Melderegister möglich. Hier wird aktuell zum Auslesezeitpunkt angezeigt, ob irgendeine I/O-Stufe Überstrom führt. Diese Kurzschlussmeldung ermöglicht eine ständige Überwachung der Ausgangstransistoren und eine eindeutige Zuordnung einer Fehlermeldung zum betreffenden I/O-Ausgang.

Die Filterung der Überstrom-Meldung kann durch einen Bypass übergangen werden, der für alle I/O-Stufen gemeinsam durch 'BYPS CF' im Steuerwort 4 (Adr 13) aktiviert wird.

Temperaturüberwachung

Der Baustein iC-JRX verfügt über eine zweistufige Temperaturüberwachung.

Stufe 1: Bei Überschreiten der ersten Temperaturgrenze (Toff1 bei ca. 125 °C) wird ein Interrupt als Vorwarnung ausgelöst (INTN = 0). Geeignete Maßnahmen zur Verringerung der Treiberverlustleistung können durch den steuernden Mikrocontroller in die Wege geleitet werden.

Stufe 2: Wird die zweite Temperaturgrenze (Toff2 bei ca. 150 °C) überschritten, wird erneut ein Interrupt ausgelöst (INTN = 0). Gleichzeitig werden die Ausgangstransistoren sowie die Stromquellen der I/O-Stufen abgeschaltet, das Ausgangs-Register und die Blinkpuls-Freigabe gelöscht.

Nach Unterschreiten der Temperaturschwelle Toff1 werden die Stromquellen wieder aktiviert. Das Ausgangs-Register sowie die Blinkpuls-Freigabe müssen aber zur erneuten Aktivierung der Ausgangsstufen neu beschrieben werden.

Das Interrupt-Melderegister (Adr 2) informiert über die Temperatur-Interrupt-Stufe, aber auch über den aktuellen Zustand der Temperaturüberwachung. Statisch zeigen ET2 bzw. ET1 die momentane Überschreitung von Toff2 bzw. Toff1 an. Die gespeicherten Interrupt-Meldungen IET2 bzw. IET1 sowie die Anzeige an INTN sind durch EOI = 1 (Steuerwort 4) löschar.

Unterspannungserkennung

Beim Einschalten der Versorgungsspannung an VCC werden die Ausgangstransistoren durch die Unterspannungserkennung erst mit Erreichen der Power-On-Freigabe VCCon freigegeben. Sinkt die Versorgungsspannung während des Betriebs auf VCCoff ab, werden die I/O-Ausgänge gesperrt, d. h. die Ausgangstransistoren ausgeschaltet und ein Reset des Bausteins durchgeführt (Signal VOK). Steigt die Versorgungsspannung wieder auf VCCon an, befindet sich der Baustein iC-JRX somit im zurückgesetzten Zustand.

Baustein-Identifizierung

Um den Baustein iC-JRX identifizieren zu können, ist eine Kennung implementiert. Unter Adresse 5 kann das Bitmuster '000000'b ausgelesen werden.

Reset

Ein Reset (RESN = 0) setzt die Registereinträge auf die in den Tabellen genannten Rücksetzwerte. Die Ausgangstransistoren und die Stromquellen in den I/O-Stufen werden abgeschaltet und alle Stufen auf Eingangsfunktion gesetzt.

Betrieb ohne BLFQ-Signal

Steht kein Taktsignal am Pin BLFQ zur Verfügung, so kann der Baustein iC-JRX den Blinktakt intern aus dem Taktsignal von Pin CLK generieren. Dafür muß nur NOBLFQ im Steuerwort 3 auf '1' gesetzt werden. Die Periode für das Blinken wird dann aus dem Takt an CLK mittels Division durch 2^{19} gebildet.

Betrieb ohne CLK-Signal

Auch ohne Takt am Pin CLK ist der iC-JRX noch einsatzfähig. Mit NOCLK im Steuerwort 3 werden die taktgesteuerten Filterungen für die I/O-Signale und für die Überstrom-Meldung abgeschaltet. Die Funktionalität bleibt bis auf zwei Ausnahmen bestehen: die PWM-Aufschaltung und die digitale Filterung sind nicht mehr möglich, da sie mit Hilfe von CLK generiert bzw. durchgeführt werden.

Das gleiche Verhalten kann durch das Setzen von BYPH und BYPL im Steuerwort 1 gemeinsam mit BYPSCF im Steuerwort 4 erreicht werden; alle Filter werden durch Bypass-Schaltungen umgangen. Von Nachteil ist hierbei, das z. B. Leitungsstörungen jetzt zur ungewollten Interrupt-Anzeige führen können.

Endstufen-Zwangsabschaltung

Durch entsprechende Pegel am Eingang POE können die Ausgangsstufen zwangsweise abgeschaltet werden. Eine '1' gibt den Zugriff der Logik auf die Treiber frei, eine '0' sperrt ihn. Hiermit kann beispielsweise ein prozessorunabhängiger Watchdog die Ausgänge im Fehlerfall verriegeln. Ein integrierter Pull-Down-Widerstand erhöht die Sicherheit.

Pulsweitenmodulation

Diese Funktion kann für eine frei wählbare I/O-Stufe mit Ausgangsfunktion aktiviert werden.

Über das PWM-Register wird zunächst das Puls-Pausen-Verhältnis festgelegt, in 256 Stufen innerhalb einer PWM-Periode. Die Pulsrichtung sowie die Adresse für die gewünschte Treiberstufe wird über das Steuerwort 5 ausgewählt (PWMPN, PWMADR2..0).

Ebenfalls über das Steuerwort 5 kann danach das PWM-Freigabe-Bit PWMEN gesetzt werden. Mit dieser Freigabe wird automatisch die Stromquelle sowie eine eventuell aktive Blinkfunktion für den selektierten Ausgang abgeschaltet.

Das eingestellte Puls-Pausen-Verhältnis wird mit dem Beginn einer neuen PWM-Periode übernommen.

Am selektierten Ausgang stellt sich ein PWM-Signal ein, dessen Frequenz sich aus dem Taktsignal an CLK bestimmt und dessen Puls-Pausen-Verhältnis dem PWM-Register folgt.

Es gelten folgende Zusammenhänge:

$$f_{PWM} = \frac{f_{CLK}}{4096}; \quad \Delta t_{PWM} = \frac{1}{f_{PWM} \times 256}; \quad t_{PWMlo} = (PWMLen + 1) \times \Delta t_{PWM}$$

- f_{CLK} : Taktfrequenz CLK
- f_{PWM} : Frequenz des PWM-Signals an IOx
- Δt_{PWM} : kleinste mögliche Pulsdauer 'Low' (8 µs bei einer Taktfrequenz von 2 MHz)
- t_{PWMlo} : Pulsdauer für 'Low' (IOx = OFF mit PWMPN = 1)
- PWMLen : Zahlenwert für Pulsdauer 'Low' im Register PWM7..0

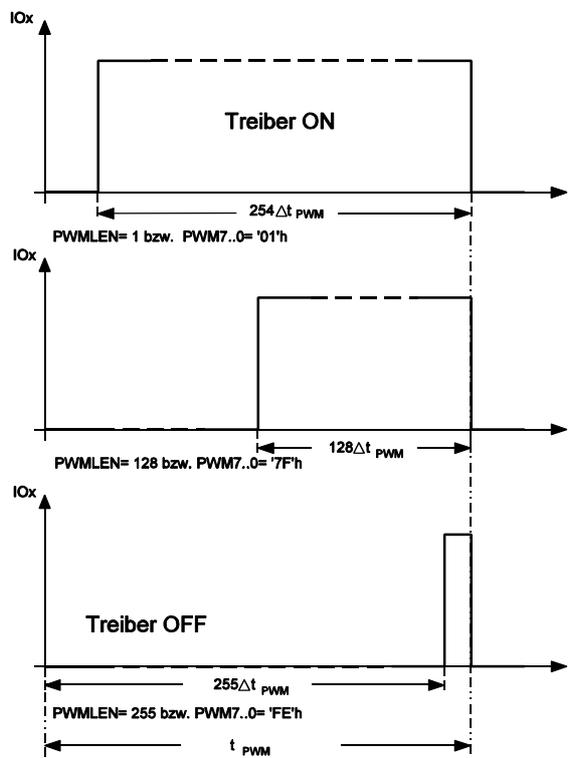


Bild 5: Signalformen

Einstellbare Puls-Pausen-Verhältnisse		
PWM7..0	PWMPN	Ausgangssignal
'00'h	0	Ausgangsstufe "EIN", Pin IOx = '1' (Reset-Zustand)
	1	Ausgangsstufe "AUS", Pin IOx = '0'
'01'h .. 'FE'h	0	Ausgangsspin IOx geht für $(PWMLen + 1) \times \Delta t_{PWM}$ auf '0', dann für $(255 - PWMLen) \times \Delta t_{PWM}$ auf '1'
	1	Ausgangsspin IOx geht für $(PWMLen + 1) \times \Delta t_{PWM}$ auf '1', dann für $(255 - PWMLen) \times \Delta t_{PWM}$ auf '0'
'FF'h	0	Ausgangsstufe "AUS", Pin IOx = '0'
	1	Ausgangsstufe "EIN", Pin IOx = '1'

Die vorliegende Spezifikation betrifft ein neu entwickeltes Produkt. iC-Haus behält sich daher das Recht vor, Daten ohne weitere Ankündigung zu ändern. Die aktuellen Daten können bei iC-Haus abgefragt werden.

Ein Nachdruck dieser Spezifikation - auch auszugsweise - ist nur mit unserer schriftlichen Zustimmung und unter genauer Quellenangabe zulässig.

Die angegebenen Daten dienen ausschließlich der Produktbeschreibung. Dies gilt insbesondere auch für die angegebenen Verwendungsmöglichkeiten/ Einsatzbereiche des Produktes.

Eine Garantie hinsichtlich der Eignung des Produktes für die konkret vorgesehene Verwendung wird von iC-Haus nicht übernommen.

iC-Haus überträgt an dem Produkt kein Patent, Copyright oder sonstiges Schutzrecht.

Für die Verletzung etwaiger Patent- und/oder sonstiger Schutzrechte Dritter, die aus der Ver- oder Bearbeitung des Produktes und/oder der sonstigen konkreten Verwendung des Produktes resultieren, übernimmt iC-Haus keine Haftung.

iC-JRX

µP-INTERFACE MIT 8-FACH 24V HIGH-SIDE-TREIBER



Ausgabe A1, Seite 23/23

BESTELL-HINWEISE

Typ	Gehäuse	Bestellbezeichnung
iC-JRX	PLCC44	iC-JRX PLCC44

Auskünfte über Preise, Liefertermine, Liefermöglichkeiten anderer Gehäuseformen usw. erteilt

iC-Haus GmbH
Am Kuemmerling 18
55294 Bodenheim

Tel. 06135-9292-0
Fax 06135-9292-192
<http://www.ichaus.com>