

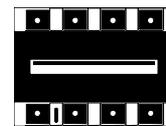
EIGENSCHAFTEN

- ◆ 128 aktive Pixel mit Fotodioden der Größe 56 µm x 200 µm im 63.5 µm Raster (400 DPI)
- ◆ Integrierende Licht-Spannungswandlung mit nachgeschalteter Sample-and-Hold-Schaltung
- ◆ Hohe Empfindlichkeit und Gleichförmigkeit über der Wellenlänge
- ◆ Hohe Taktrate bis 5 MHz
- ◆ Shutter-Funktion erlaubt flexible Integrationszeiten
- ◆ Ausgangsverstärker mit Push-Pull-Stufe
- ◆ 5 V Versorgungsspannung
- ◆ Verringerung der Stromaufnahme durch externe Bias-Stromeinstellung möglich
- ◆ Funktions- und pin-kompatibel zum TSL1401 (im 8-Pin-OLGA-Gehäuse LF2C)

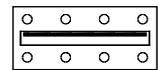
ANWENDUNGEN

- ◆ Optischer Zeilen Sensor
- ◆ CCD-Ersatz

GEHÄUSE



OLGA LF2C

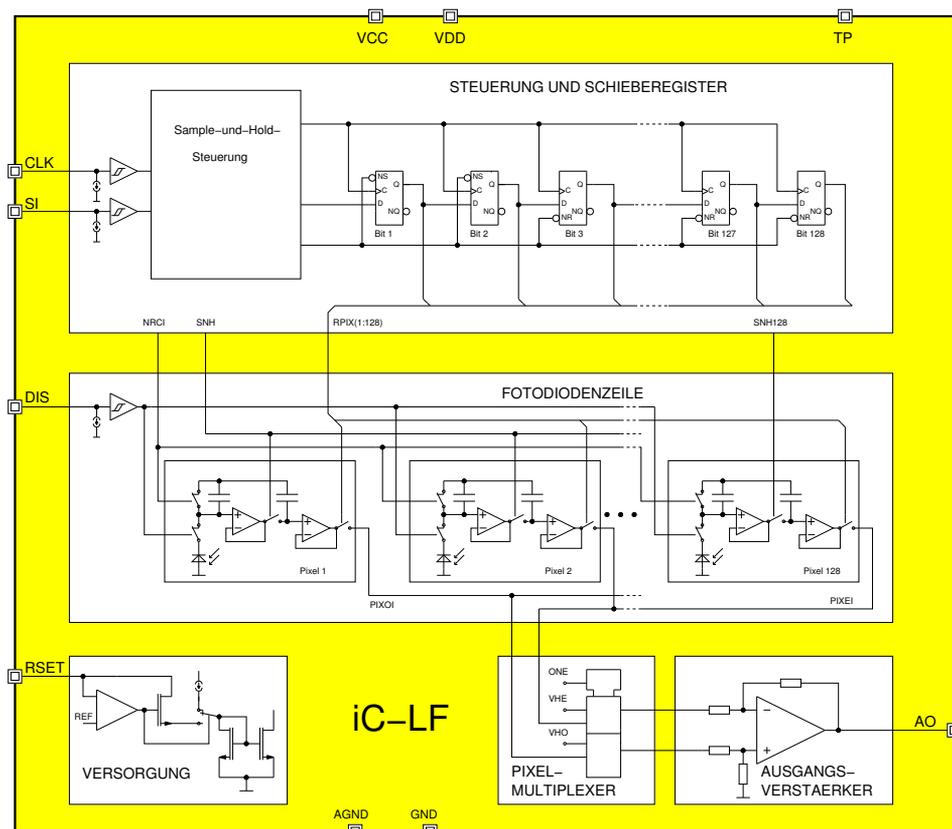


OBGA™ LF3C



Chip-Größe (8.5 mm x 1.6 mm)

BLOCKSCHALTBILD



KURZBESCHREIBUNG

Der Baustein iC-LF ist ein integrierender Licht/Spannungs-Wandler bestehend aus einer Zeile mit 128 Pixeln, die im Rastermaß von $63.5\ \mu\text{m}$ (Mittenabstand) angeordnet sind. Jedes Pixel besteht aus einer Fotodiode von $56.4\ \mu\text{m} \times 200\ \mu\text{m}$ und einer Integrationskapazität mit Sample-und-Hold-Schaltung.

Durch die integrierte Steuerlogik wird der Betrieb sehr vereinfacht, so dass nur ein Startsignal und ein Taktsignal benötigt werden. Optional erlaubt ein dritter Steuereingang (Pin DIS) jederzeit eine Unterbrechung des Integrationsvorgangs (elektronischer Shutter).

Mit dem Startsignal wird bei der nächsten steigenden Taktflanke für alle Pixel gleichzeitig der Halte-Modus aktiviert und die Integrationsspannungen sequentiell, beginnend mit Pixel 1, auf den Push-Pull-Ausgangsverstärker geschaltet. Bereits der zweite Takt löscht alle Integrationskondensatoren, und noch während der Ausgabephase beginnt die Integrationszeit im Hintergrund neu. Ein Durchlauf ist mit genau 128 Takten komplett.

Der Baustein ist für hohe Taktraten bis 5 MHz ausgelegt. Wird dies nicht benötigt, kann der Versorgungsstrom über die externe Bias-Einstellmöglichkeit (Strom in Pin RSET) reduziert werden.

iC-LF1401

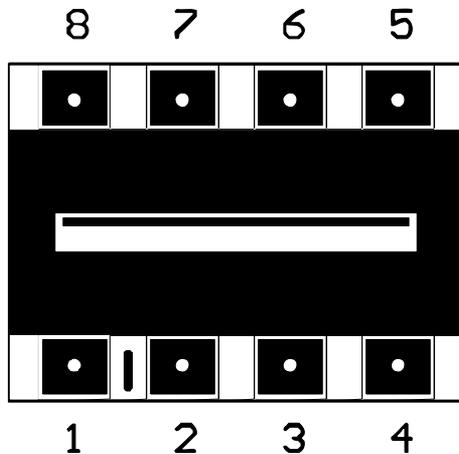
128x1-ZEILENSENSOR



Ausgabe B1, Seite 3/10

GEHÄUSE OLGA LF2C, OBGA™ LF3C

PIN-BELEGUNG OLGA LF2C

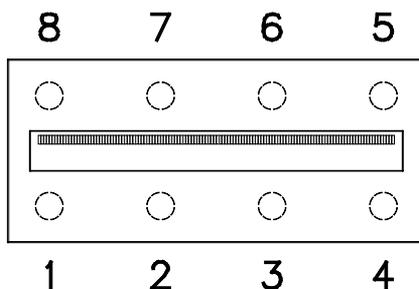


PIN-FUNKTIONEN

Nr. Name Funktion

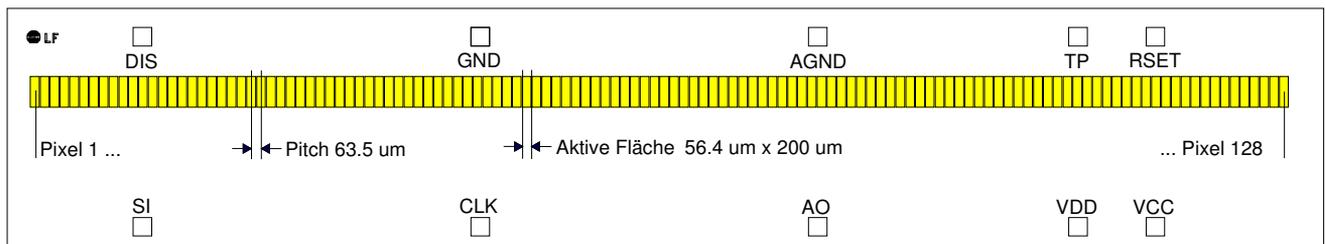
- | | | |
|---|------|--|
| 1 | SI | Integrationsstart |
| 2 | CLK | Takteingang |
| 3 | AO | Analog-Ausgang |
| 4 | VCC | +5-V-Versorgung |
| 5 | RSET | Bias-Stromeinstellung (Verbindung mit GND zur Aktivierung der internen Bias-Schaltung = default; optional Widerstand aus VCC = Verringerung der Stromaufnahme) |
| 6 | AGND | Analog-Masse |
| 7 | GND | Digital-Masse |
| 8 | DIS | Disable-Eingang (optional; Eingang an GND oder offen für TSL1401-Kompatibilität) |

PIN-BELEGUNG OBGA™ LF3C



CHIP-LAYOUT

Chip-Größe: 8.5 mm x 1.6 mm



GRENZWERTE

Keine Zerstörung, Funktion nicht garantiert.

Kenn-Nr.	Formelzeichen	Benennung	Bedingungen			Einh.
				Min.	Max.	
G001	VDD	Digitale Versorgungsspannung		-0.3	6	V
G002	VCC	Analoge Versorgungsspannung		-0.3	6	V
G003	V()	Spannung an SI, CLK, DIS, RSET, TP, AO		-0.3	VCC + 0.3	V
G004	I()	Strom in RSET, TP, AO		-10	10	mA
G005	Vd()	Zulässige ESD-Prüfspannung	MIL-STD-883, Methode 3015, HBM 100 pF entladen über 1.5 kΩ		2	kV
G006	Tj	Chip-Temperatur		-40	125	°C
G007	Ts	Lagertemperatur	siehe Gehäusespezifikation			

THERMISCHE DATEN

Betriebsbedingungen: VCC = VDD = 5 V ±10 %

Kenn-Nr.	Formelzeichen	Benennung	Bedingungen				Einh.
				Min.	Typ	Max.	
T01	Ta	Zulässiger Umgebungstemperaturbereich	siehe Gehäusespezifikation				

KENNDATEN

Betriebsbedingungen: VCC = VDD = 5 V ±10 %, RSET = GND, Tj = -25...85 °C, wenn nicht anders angegeben

Kenn-Nr.	Formelzeichen	Benennung	Bedingungen				Einh.
				Min.	Typ	Max.	
Allgemeines							
001	VDD	Digitale Versorgungsspannung		4.5		5.5	V
002	VCC	Analoge Versorgungsspannung		4.5		5.5	V
003	I(VDD)	Versorgungsstrom in VDD	f(CLK) = 1 MHz		200	300	µA
004	I(VCC)	Versorgungsstrom in VCC			8	13	mA
005	Vc()hi	Clamp-Spannung hi an SI, CLK, DIS, TP, RSET	Vc()hi = V() – V(VCC); I() = 1 mA	0.3		1.8	V
006	Vc()lo	Clamp-Spannung lo an SI, CLK, DIS, TP, RSET	Vc()lo = V() – V(AGND); I() = -1 mA	-1.5		-0.3	V
007	Vc()hi	Clamp-Spannung hi an AO	Vc()hi = V(AO) – V(VCC); I(AO) = 1 mA	0.3		1.5	V
008	Vc()lo	Clamp-Spannung lo an AO, VCC, VDD, GND	Vc()lo = V() – V(AGND); I() = -1 mA	-1.5		-0.3	V
Fotodiodenzeile							
201	A()	Aktive Fläche	200 µm x 56.40 µm per Pixel	0.01128			mm²
202	S(λ)max	Spektrale Empfindlichkeit	λ = 680 nm		0.5		A/W
203	λar	Empfangsbereich	S(λar) = 0.25 x S(λ)max	400		980	nm
Analog-Ausgang AO							
301	Vs()lo	Sättigungsspannung lo	I() = 1 mA			0.5	V
302	Vs()hi	Sättigungsspannung hi	Vs()hi = VCC – V(), I() = -1 mA			1	V
303	K	Empfindlichkeit	λ = 680 nm, Gehäuse OLGA LF2C		2.88		V/pWs
304	V0()	Offset-Spannung	Integrationszeit 1 ms, keine Beleuchtung		400	800	mV
305	ΔV0()	Änderung der Offset-Spannung im Integrations-Modus	ΔV0() = V(AO)t1 – V(AO)t2, Δt = t2 – t1 = 1 ms	-250		50	mV
306	ΔV()	Signaländerung im Hold-Modus	ΔV() = V(AO)t1 – V(AO)t2, Δt = t2 – t1 = 1 ms	-150		150	mV
307	tp(CLK-AO)	Einschwingzeit	CI(AO) = 10 pF, CLK lo → hi bis V(AO) = 0.98 x V(VCC)			200	ns
308	PRNU	Pixel Response Nonuniformity	V(AO) = 2 V			±5 ¹	%
309	INL	Integral Nonlinearity	V(AO) = 1...3.5 V		±1		%
310	Vnoise(AO)	Ausgangs-Rauschspannung	V(AO) = 2 V		2		mV _{RMS}
311	DR	Dynamik-Bereich ²	V(AO) _{max} = 3.5 V		62		dB
Power-On-Reset							
801	VCCon	Power-On-Freigabe durch VCC				4.4	V
802	VCCoff	Power-Down-Reset durch VCC		1			V
803	VCChys	Hysterese	VCChys = VCCon – VCCoff	0.4	1	2	V
Bias-Stromeinstellung RSET							
901	Ibias()	Zulässiger externer Bias-Strom		20		100	µA
902	Vref	Vergleichsspannung	I(RSET) = Ibias	2.5	3	3.5	V
Eingangs-Interface SI, CLK, DIS							
B01	Vt()hi	Schwellspannung hi	s. Bild 2	1.4		1.8	V
B02	Vt()lo	Schwellspannung lo	s. Bild 2	0.9		1.2	V
B03	Vt()hys	Hysterese	Vt()hys = Vt()hi – Vt()lo, s. Bild 2	300		800	mV
B04	I()	Pull-Down-Strom		10	30	50	µA
B05	fclk	Zulässige Taktfrequenz				5	MHz

¹ Projizierte Werte aus Charakterisierungen an Stichproben

² DR = 20 × log $\frac{V(AO)_{max} - V(AO)_{min}}{V_{noise(AO)}}$

KENNDATEN: Diagramme

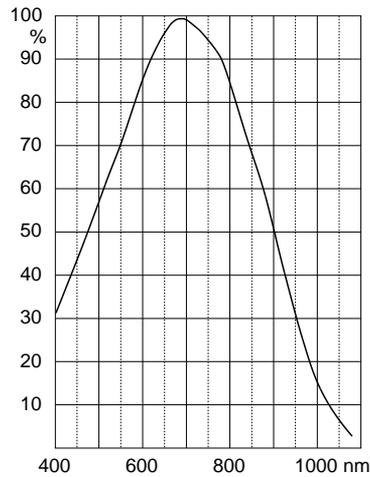


Bild 1: Relative spektrale Empfindlichkeit

BETRIEBSBEDINGUNGEN: Logik

Betriebsbedingungen: $V_{CC} = V_{DD} = 5 V \pm 10 \%$, $T_j = -25 \dots 85 \text{ } ^\circ\text{C}$
Eingangsspiegel $lo = 0 \dots 0.45 V$, $hi = 2.4 V \dots V_{DD}$, Bezugspegel für Zeitangaben nach Bild 2

Kenn-Nr.	Formelzeichen	Benennung	Bedingungen	Bild	Min. / Max.		Einh.
					Min.	Max.	
I001	tset	Vorbereitungszeit: SI stabil vor CLK lo \rightarrow hi		3	50		ns
I002	thold	Haltezeit: SI stabil nach CLK hi \rightarrow lo		3	50		ns

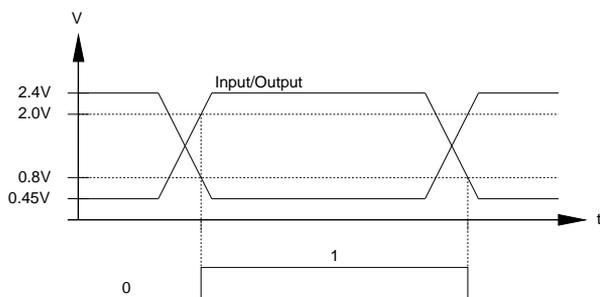


Bild 2: Bezugspegel für Zeitangaben

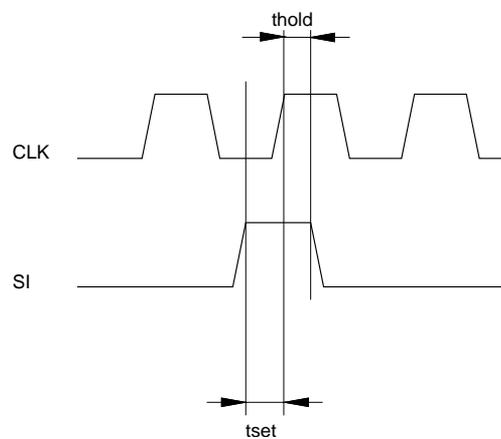


Bild 3: Zeitdiagramm

FUNKTIONSBESCHREIBUNG

Normalbetrieb

Nach einem internen Power-On-Reset sind die Integrations- und Hold-Kapazitäten gelöscht und die Sample- und Hold-Schaltung befindet sich im Sample-Modus. Mit einem High-Pegel an SI und einer steigenden Flanke an CLK beginnt ein Auslesezyklus und damit auch eine neue Integrationsperiode.

Dazu werden die Hold-Kapazitäten der Pixel 1 bis 127 sofort (SNH = 1) und von Pixel 128 (SNH128 = 1) erst

einen Takt später in den Hold-Modus gesetzt. Dieses spezielle Verfahren ermöglicht ein Auslesen aller Pixel mit nur 128 Takten. Das Löschen der Integrations-Kapazitäten geschieht mit einem einen Takt langen Reset-Signal (NRCI = 0) zwischen der 2. und 3. fallenden Flanke des Auslesetakts (siehe Bild 4). Nach dem Auslesen der 127 Pixel werden diese wieder in den Sample-Modus (SNH = 0) gesetzt und nach einem weiteren Takt auch das Pixel 128 (SNH128 = 0).

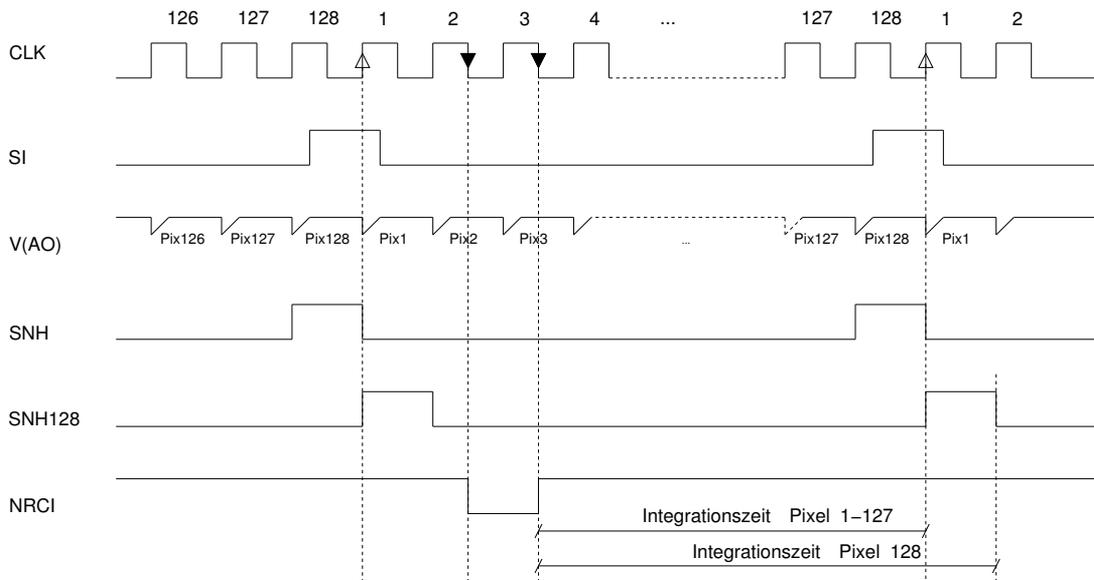


Bild 4: Auslese- und Integrationsablauf

Wenn vor dem 128. Takt wieder ein HIGH-Pegel an SI anliegt, wird der aktuelle Auslesevorgang gestoppt und sofort mit Pixel 1 neu begonnen. Dabei behalten

die Hold-Kapazitäten ihren alten Wert, d. h. der Hold-Modus bleibt erhalten (SNH/SNH128 = 0).

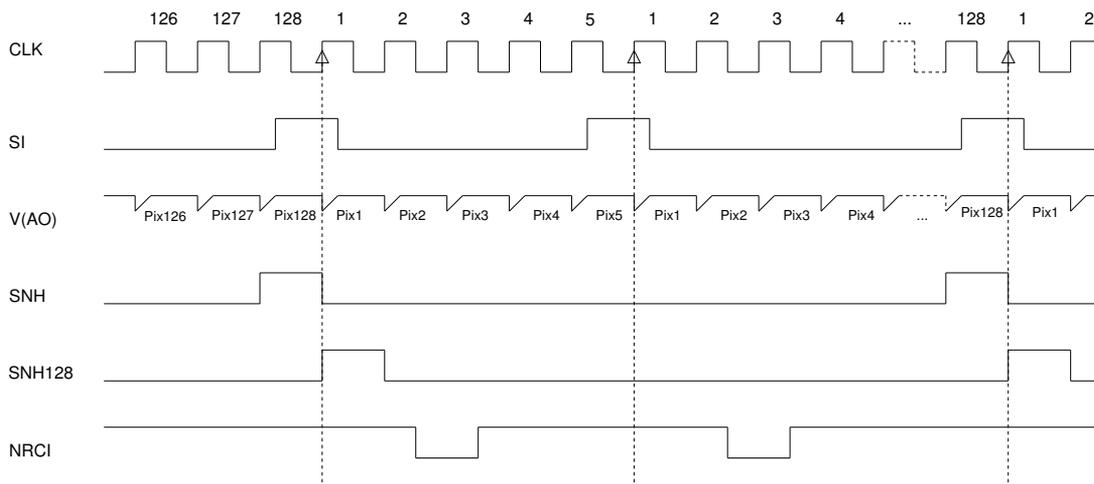


Bild 5: Neustart eines Auslesevorgangs

Bei mehr als 128 Takten bis zum nächsten SI-Signal wird Pixel 1 ohne Hold-Modus ausgegeben; die Ausgangsspannung folgt der Spannung der Integrationskapazität von Pixel 1.

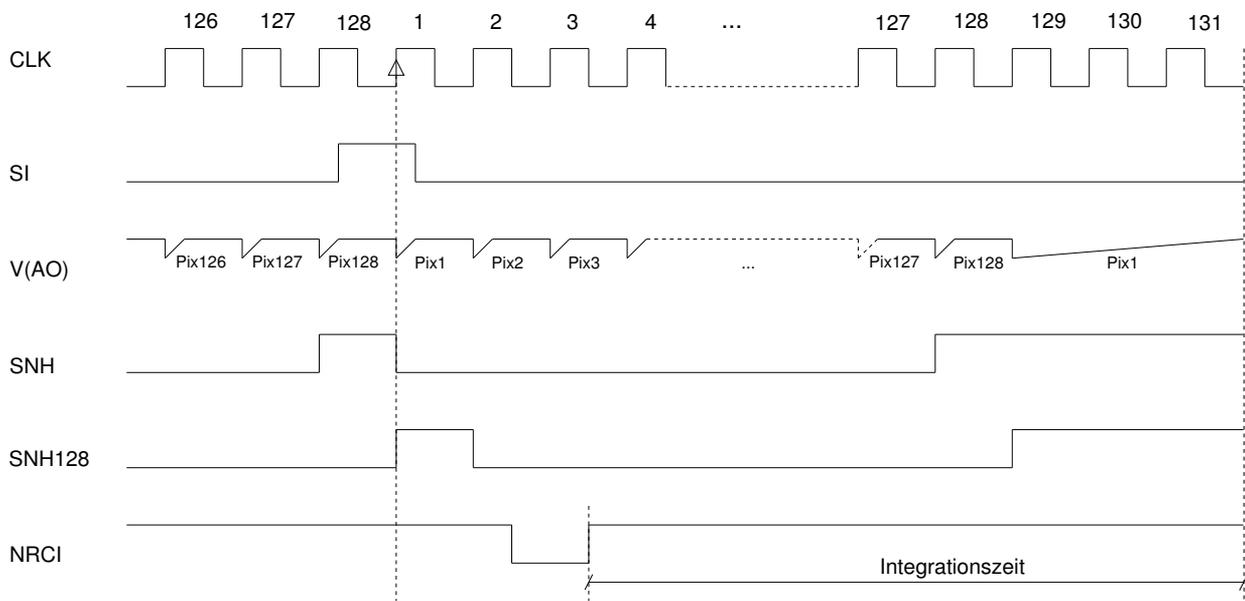


Bild 6: Durchlaufender Takt ohne neues Startsignal

Betrieb mit Shutter-Funktion

Über den Pin DIS kann die Integration jederzeit angehalten werden, d. h. die Fotodioden werden für DIS = hi von ihrer jeweiligen Integrations-Kapazität weggeschaltet, und die aktuellen Spannungswerte der In-

tegrations-Kapazitäten bleiben erhalten. Ist dieser Pin offen oder auf GND gelegt, werden die Pixel-Fotoströme bis zum nächsten SI-Signal durch die Integrations-Kapazitäten aufsummiert.

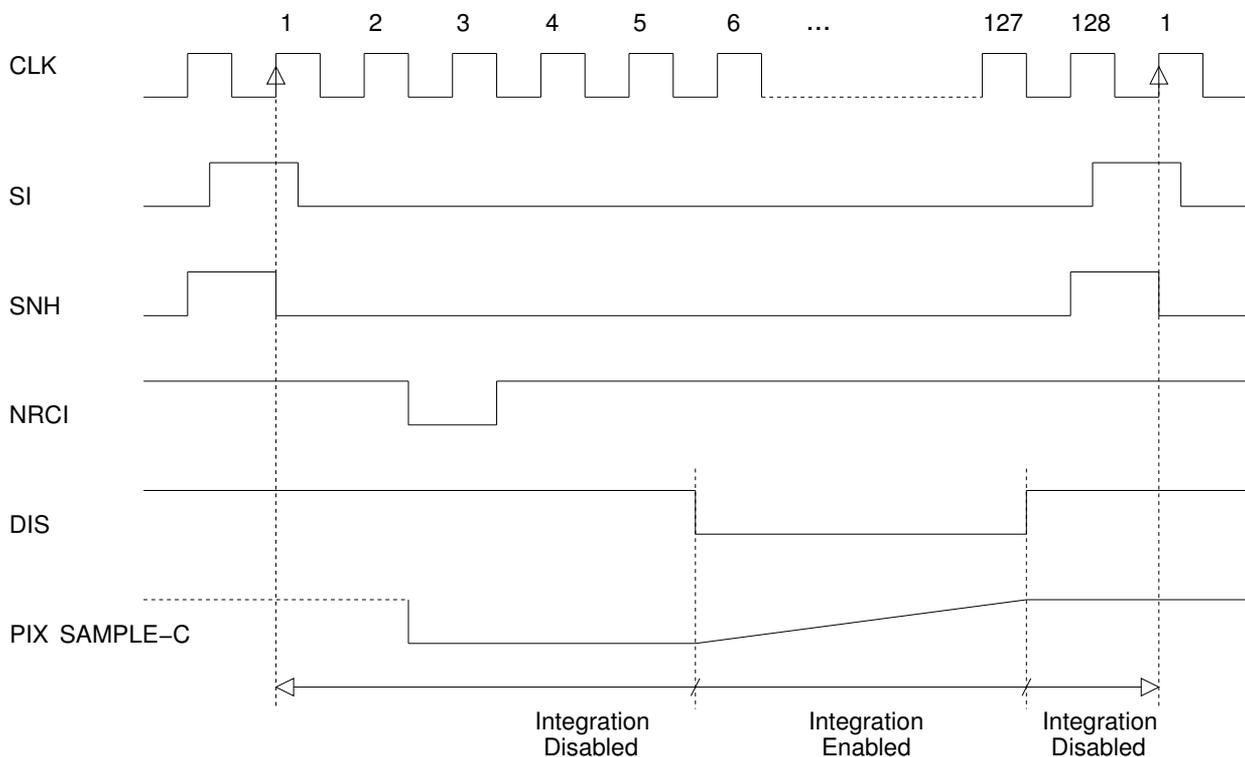


Bild 7: Definition der Integrationszeit über DIS

Externe Bias-Stromeinstellung

Zur Verringerung der Stromaufnahme des Bausteins kann über den Pin RSET ein externer Referenzstrom eingepreßt werden, was allerdings die maximale Aus-

lesefrequenz verringert. Hierzu ist an RSET ein Widerstand gegen VCC zu schalten. Bei Nichtbenutzung ist dieser Pin auf GND zu legen.

Die vorliegende Spezifikation betrifft ein neu entwickeltes Produkt. iC-Haus behält sich daher das Recht vor, Daten ohne weitere Ankündigung zu ändern. Die aktuellen Daten können bei iC-Haus abgefragt werden.

Ein Nachdruck dieser Spezifikation – auch auszugsweise – ist nur mit unserer schriftlichen Zustimmung und unter genauer Quellenangabe zulässig.

Die angegebenen Daten dienen ausschließlich der Produktbeschreibung. Dies gilt insbesondere auch für die angegebenen Verwendungsmöglichkeiten/Einsatzbereiche des Produktes.

Eine Garantie hinsichtlich der Eignung oder Zuverlässigkeit des Produktes für die konkret vorgesehene Verwendung wird von iC-Haus nicht übernommen.

iC-Haus überträgt an dem Produkt kein Patent, Copyright oder sonstiges Schutzrecht.

Für die Verletzung etwaiger Patent- und/oder sonstiger Schutzrechte Dritter, die aus der Ver- oder Bearbeitung des Produktes und/oder der sonstigen konkreten Verwendung des Produktes resultieren, übernimmt iC-Haus keine Haftung.

Unsere Entwicklungen, IPs, Schaltungsprinzipien und angebotenen Integrierten Schaltkreise sind grundsätzlich geeignet, naheliegend und vorgesehen für einen zweckentsprechenden Einsatz in technischen Applikationen, z. B. in Geräten und Systemen und in beliebigen technischen Einrichtungen, soweit sie nicht bestehende Schutzrechte verletzen. Prinzipiell sind die Verwendungsmöglichkeiten technisch nicht beschränkt und beziehen sich beispielsweise auf Produkte des Warenverzeichnisses für die Außenhandelsstatistik, Ausgabe 2008 und folgende, jährlich herausgegeben vom Statistischen Bundesamt, Wiesbaden, oder auf ein beliebiges Produkt des Produktkatalogs der Hannover-Messe 2007 und folgender.

Eine zweckentsprechende Applikation unserer veröffentlichten Entwicklungen verstehen wir als Stand der Technik, die nicht mehr als erfinderisch im Sinne des Patentgesetzes gelten kann. Unsere expliziten Applikationshinweise sind nur als Ausschnitt der möglichen, besonders vorteilhaften Anwendungen zu verstehen.

iC-LF1401

128x1-ZEILENSENSOR



Ausgabe B1, Seite 10/10

BESTELLINFORMATION

Typ	Gehäuse	Bestellbezeichnung
iC-LF	OLGA LF2C OBGA™ LF3C -	iC-LF OLGA LF2C iC-LF OBGA LF3C iC-LF chip

Technischen Support und Auskünfte über Preise und Lieferzeiten geben:

iC-Haus GmbH
Am Kuemmerling 18
55294 Bodenheim

Tel.: (0 61 35) 92 92-0
Fax: (0 61 35) 92 92-192
Web: <http://www.ichaus.com>
E-Mail: sales@ichaus.com

Autorisierte Distributoren nach Region: http://www.ichaus.de/support_distributors.php