

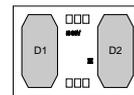
EIGENSCHAFTEN

Zwei Fotosensoren mit integrierenden Verstärkern
 Integrationszeit extern bestimmbar
 Internes Schieberegister zur Kettenschaltung
 Unterspannungserkennung
 TTL/CMOS-kompatible Logik-Ein- und Ausgänge
 5 V Versorgungsspannung
 Geringer Stromverbrauch
 Fotosensoren im Raster 1 mm;
 aktive Fläche ca. 0.97 mm x 0.47 mm (0.44 mm²)

ANWENDUNGEN

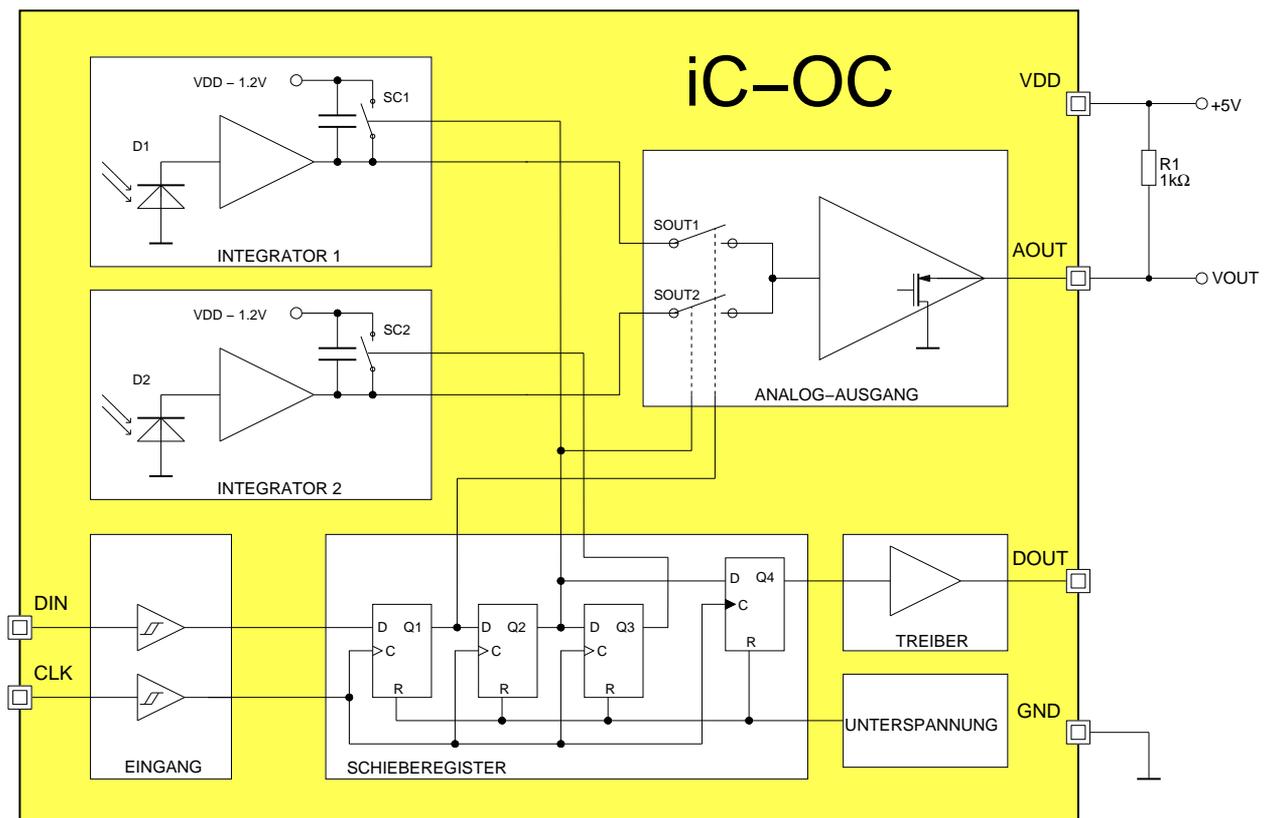
Optische Zeilensensoren
 Ersatz von CCDs

CHIP



1,7 mm x 1,2 mm

BLOCKSCHALTBILD



KURZBESCHREIBUNG

Der Baustein iC-OC ist ein optischer Sensor mit zwei Fotodioden, zwei integrierenden Verstärkern und einer Steuerlogik, die es ermöglicht, mehrere iC-OC-Bausteine hintereinander in einer Kette zu schalten.

Die aus einem zweistufigen Schieberegister bestehende Steuerlogik bestimmt weiterhin Start und Stop der Integrationszeit und schaltet die Integratoren sequentiell auf den analogen Ausgang. Der als Source-Folger ausgeführte analoge Ausgang ist im deaktivierten Zustand hochohmig und dadurch busfähig.

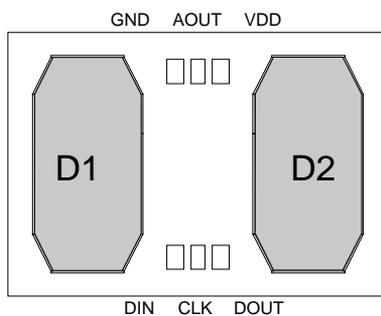
Der Ausgang der Steuerlogik liefert ein CMOS-kompatibles Signal und kann bei einer Kettenschaltung direkt mit dem digitalen Eingang des nachfolgenden Bausteins verbunden werden. Logikeingänge sind als Schmitt-Trigger ausgeführt und TTL/CMOS-kompatibel.

Bei Unterspannung werden alle im Baustein enthaltenen Register zurückgesetzt (Power-Down-Reset).

Alle Pins sind gegen ESD geschützt.

CHIP-LAYOUT

PIN-BELEGUNG Chip



PIN-FUNKTIONEN

Nr. Name Funktion

DIN	Eingang
CLK	Takteingang
DOUT	Digital Ausgang
VDD	+5 V Versorgungsspannung
AOUT	Analog Ausgang
GND	Masse

GRENZWERTE

Keine Zerstörung, Funktion nicht garantiert.

Kenn-Nr.	Formelzeichen	Benennung	Bedingungen			Einh.
				Min.	Max.	
G001	VDD	Versorgungsspannung		-0.3	6.5	V
G002	Ic()	Strom in DIN, CLK, DOUT, AOUT		-20	20	mA
G003	I()	Strom in DOUT		-10	10	mA
G004	Ilu()	Pulsstrom in allen Pins (Latch-up-Festigkeit)	Pulsdauer $\leq 10 \mu\text{s}$	-100	100	mA
G005	Vd()	ESD-Prüfspannung, an allen Pins	HBM, 100 pF entladen über 1.5 k Ω		2	kV
G006	Tj	Chip-Temperatur		-40	150	°C
G007	Ts	Lager-Temperatur	siehe Gehäusespezifikation			

THERMISCHE DATEN

Betriebsbedingungen: VCC = 5 V $\pm 10\%$

Kenn-Nr.	Formelzeichen	Benennung	Bedingungen				Einh.
				Min.	Typ	Max.	
T01	Ta	Zulässiger Umgebungstemperaturbereich	siehe Gehäusespezifikation				

KENNDATEN

Betriebsbedingungen: VDD = 5 V ±10 %, RL(VDD/AOUT) = 1 kΩ, Tj = 0...85 °C, wenn nicht anders angegeben.

Kenn-Nr.	Formelzeichen	Benennung	Bedingungen				Einh.
				Min.	Typ	Max.	
Allgemeines							
001	VDD	Zulässige Versorgungsspannung		4.5		5.5	V
002	I(VDD)	Versorgungsstrom in VDD		100		700	μA
003	Vc()hi	Clamp-Spannung hi an DIN, CLK, DOUT, AOUT	Vc()hi = V() – VDD, I() = 10 mA, andere Pins offen	0.3		1.5	V
004	Vc()lo	Clamp-Spannung lo an DIN, CLK, DOUT, AOUT	I() = -10 mA, andere Pins offen	-1.5		-0.3	V
005	Aph()	Fotodiodenfläche		ca. 0.97 x 0.47			mm²
006	λar	Empfangsbereich	S(λar) = 0.25 x S(λ)max	300		950	nm
Analog-Ausgang AOUT							
201	V0()	Ausgangsspannung bei dunklen Fotodioden	V0() = VDD – V(AOUT)max, AOUT aktiv (* s. u.)	0.7		1.4	V
202	ΔVd()	Änderung der Ausgangsspannung bei dunklen Fotodioden	ΔVd() = V(AOUT)t1 – V(AOUT)t2, Δt = t2 – t1 = 0.1 ms	-10		10	mV
203	Vs()	Sättigungsspannung	10fache Beleuchtungsstärke; VDD = 4.5 V VDD = 5 V VDD = 5.5 V			1.4 1.45 1.5	V V V
204	ΔV()	Reproduzierbarkeit (Standardabweichung bei wiederholter Messung)	20 Messungen bei konstanter LED-Beleuchtung, Vav(AOUT) ≈ 2.91 V, Δt = 25 μs			15	mV
205	Vlin()	Linearitätsbereich der Ausgangsspannung	Vlin() = VDD – V0() – V(AOUT)	1.7			V
206	K	Übersetzungsfaktor Ausgangsspannung - Lichtenergie	im BMST, mit Verguss; λLED = 628 nm, Δλ = ±23 nm λLED = 880 nm, Δλ = ±40 nm	0.22 0.13	0.27 0.16	0.32 0.19	V/pWS V/pWS
207	Δklin	Abweichung des Übersetzungsfaktors im Linearitätsbereich		-5		5	%
208	I()	Reststrom	V(AOUT) = 0...VDD, AOUT hochohmig (* s. u.)	-2		2	μA
Schieberegister Ein-/Ausgänge DIN, CLK, DOUT							
301	Vt()hi	Schwellspannung hi an DIN, CLK				2.2	V
302	Vt()lo	Schwellspannung lo an DIN, CLK		0.8			V
303	Vt()hys	Hysterese an DIN, CLK	Vt()hys = Vt()hi – Vt()lo	250		1300	mV
304	Ii()	Eingangsstrom in DIN, CLK	V() = 0...VDD	-1		1	μA
305	f()	Zulässige Frequenz an CLK				10	MHz
306	tw()hi	Zul. Pulsdauer hi an CLK		20			ns
307	tw()lo	Zul. Pulsdauer lo an CLK		20			ns
308	tplh	Verzögerungszeit: CLK hi → lo bis DOUT lo → hi	CL(DOUT) = 50 pF (s. Bild 2)			40	ns
309	tphl	Verzögerungszeit: CLK hi → lo bis DOUT hi → lo	CL(DOUT) = 50 pF (s. Bild 2)			40	ns
310	tpon	Verzögerungszeit: CLK lo → hi bis AOUT aktiv	CL(VDD/AOUT) = 1 nF (s. Bild 2)			800	ns
311	tpoff	Verzögerungszeit: CLK lo → hi bis AOUT hochohmig	CL(VDD/AOUT) = 1 nF (s. Bild 2)			100	ns
312	Vs()hi	Sättigungsspannung hi an DOUT	Vs()hi = VDD – V(), I() = -1 mA			0.4	V
313	Vs()lo	Sättigungsspannung lo an DOUT	I() = 1 mA			0.4	V
Unterspannungserkennung							
401	VDDon	Einschaltswelle VDD	zunehmende Spannung an VDD	2.1		3.8	V
402	VDDoff	Abschaltswelle VDD	abnehmende Spannung an VDD	1.0		2.1	V
403	VDDhys	Hysterese	VDDhys = VDDon – VDDoff	0.5		2	V

(*) AOUT aktiv: SOUT1 oder SOUT2 geschlossen; AOUT hochohmig: SOUT1 und SOUT2 offen.

KENNDATEN: Diagramme

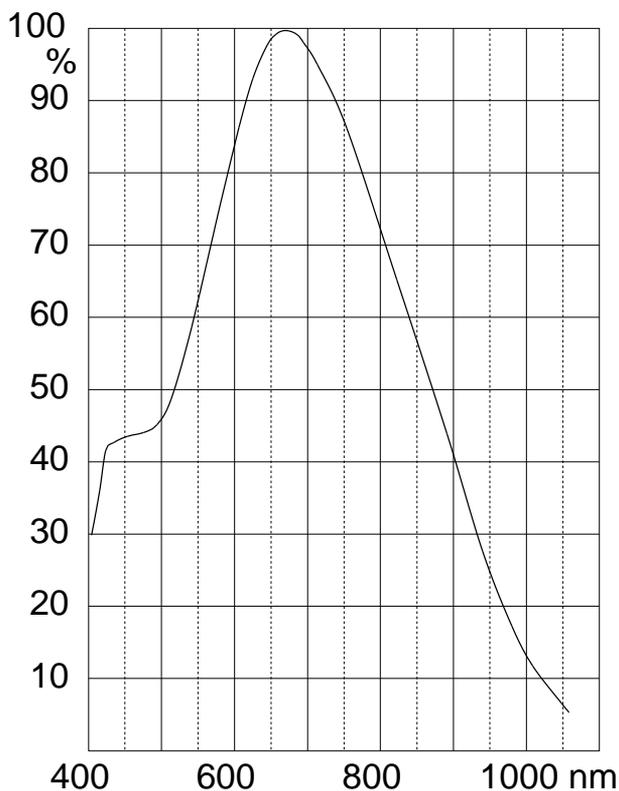


Bild 1: Relative Spektrale Empfindlichkeit

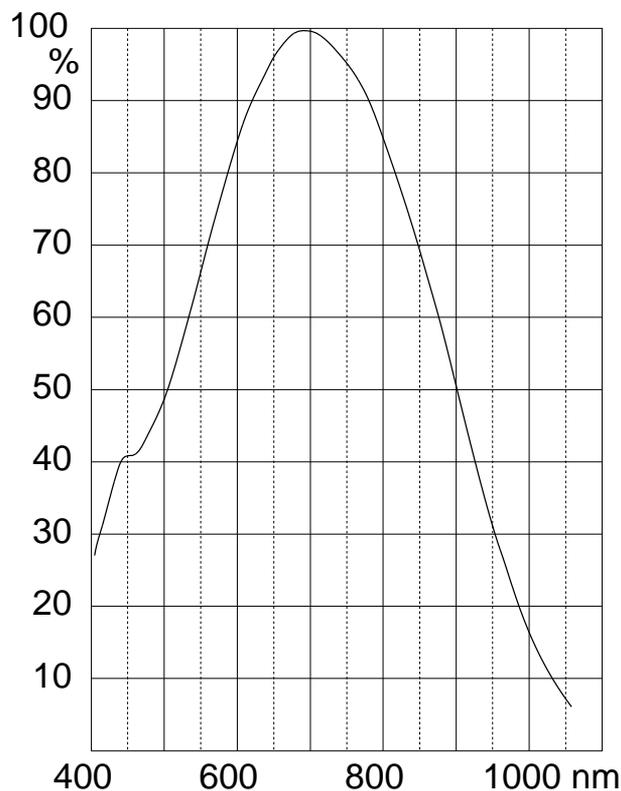


Bild 2: Relative Spektrale Empfindlichkeit im BMST

BETRIEBSBEDINGUNGEN: Logik

Betriebsbedingungen: $V_{DD} = 5\text{ V} \pm 10\%$, $T_a = 0..85\text{ }^\circ\text{C}$
 Eingangsspiegel $lo = 0..0.45\text{ V}$, $hi = 2.4\text{ V}..V_{DD}$, Bezugspegel für Zeitangaben nach Bild 3

Kenn-Nr.	Formelzeichen	Benennung	Bedingungen	Bild	Zeitangaben		Einh.
					Min.	Max.	
I001	tset	Vorbereitungszeit: DIN stabil vor CLK $lo \rightarrow hi$		3	10		ns
I002	thold	Haltezeit: DIN stabil nach CLK $lo \rightarrow hi$		3	5		ns

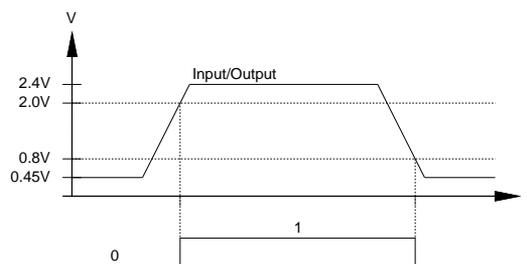


Bild 3: Bezugspegel für Zeitangaben

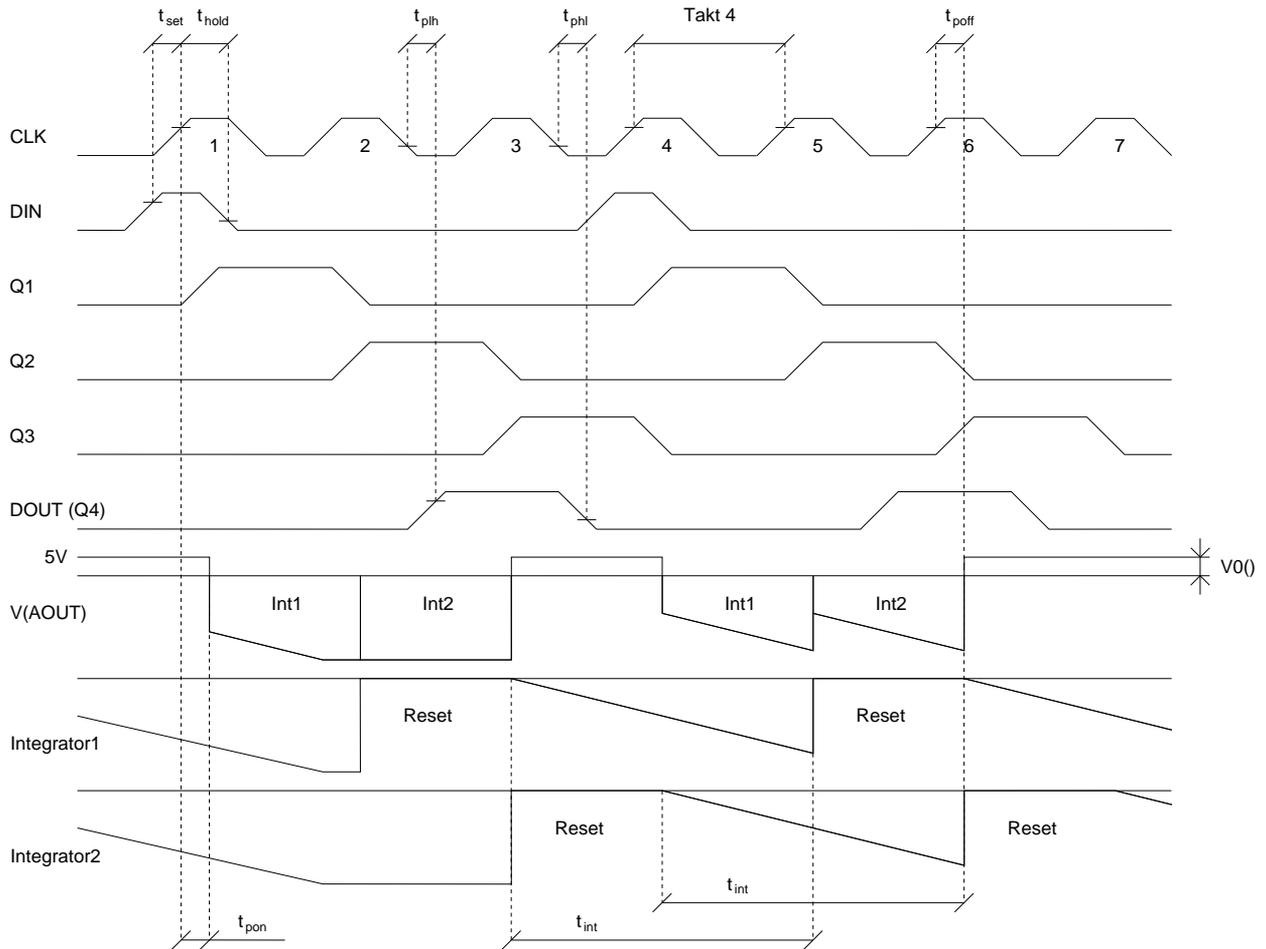


Bild 4: Zeitverhalten nach dem Einschalten (Annahme: $V_0()1 = V_0()2 = V_0()$, $V_{DD} = 5\text{ V}$)

FUNKTIONSBESCHREIBUNG

Der Baustein iC-OC ist ein integrierender Licht/Spannungswandler mit zwei getrennten Fotodioden und zwei Integratoren. Mit dem Anlegen der Versorgungsspannung beginnt die Integrationszeit. Um eine definierte Integrationszeit zu erhalten, muss zunächst an dem digitalen Eingang DIN ein hi-Puls anliegen und durch den Baustein getaktet werden. Dieser Vorgang setzt die Integratoren sequentiell auf ihren Ausgangswert zurück und startet jeweils im darauffolgenden Takt erneut die Integrationszeit.

Die Flip-Flops Q1 bis Q3 übernehmen mit der positiven CLK-Flanke sequentiell das Signal an DIN. Flip-Flop Q4, welches das Ausgangssignal DOOUT steuert, reagiert auf die negative CLK-Flanke. Schaltzustände im IC bleiben immer für die Länge einer Taktperiode erhalten. Durch das Anlegen eines hi-Pulses an DIN beginnt der in Bild 4 dargestellte Ablauf.

Im ersten Takt wird der Integrator 1 an den analogen Ausgang AOUT geschaltet (Schalter SOUT1 schließt).

AOUT liefert zunächst einen nicht reproduzierbaren Spannungswert, da die Integrationszeit unbekannt ist. Der zweite Takt schaltet den analogen Ausgang von Integrator 1 auf Integrator 2 um (SOUT1 öffnet, SOUT2 schließt). An AOUT liegt erneut ein nicht reproduzierbarer Spannungswert an (siehe oben). Gleichzeitig wird die Integrationskapazität von Integrator 1 durch den Schalter SC1 kurzgeschlossen (Reset). Mit der negativen Taktflanke wird im zweiten Takt das Flip-Flop Q4 gesetzt (DOOUT 1) und so das DIN-Signal für den nachfolgenden Baustein in der Kette erzeugt.

Mit dem dritten Takt wird der Integrator 2 von AOUT getrennt (SOUT2 öffnet) und zurückgesetzt (SC2 schließt), gleichzeitig beginnt für Integrator 1 die Integrationszeit von neuem (SC1 öffnet). Sind mehrere iC-OC-Bausteine in Kette geschaltet, wird mit dem dritten Takt das hi-Signal von DOOUT in das erste Flip-Flop des nachfolgenden Bausteins geschoben. Im vierten Takt öffnet Schalter SC2 und startet die Integrationszeit für den Integrator 2.

APPLIKATIONSHINWEISE

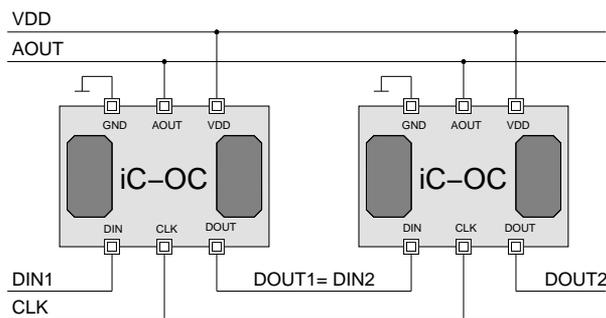


Bild 5: Beispiel Kettenschaltung für zwei Bausteine

Erst wenn der Ausgang DOOUT2 einen hi-Pegel aufweist, darf frühestens das nächste hi-Signal an DIN1 angelegt werden. Das erste hi-Signal, das durch den

Baustein getaktet wird, führt einen sequentiellen Reset der Integratoren durch, gefolgt von einem sequentiellen Start der Integrationszeit. Das zweite hi-Signal, das durch das Register geschoben wird, bestimmt das Ende der Integrationszeit und startet wieder die Integrationszeit nach dem Reset. Mit Hilfe einer Sample-and-Hold-Schaltung können die Integratoren ausgelesen werden, da der Baustein selbst keinen Hold-Zustand hat. Für einen kontinuierlichen Betrieb des Bausteins ist neben einem Taktsignal ein periodisches Signal an DIN notwendig.

Bei einem abgedunkelten Betrieb des Bausteins fällt die Ausgangsspannung $V(AOUT)$ um $V_0(AOUT)$ ab. Dieser Spannungsabfall muss bei der Kalibrierung für jeden Fotosensor ermittelt werden.

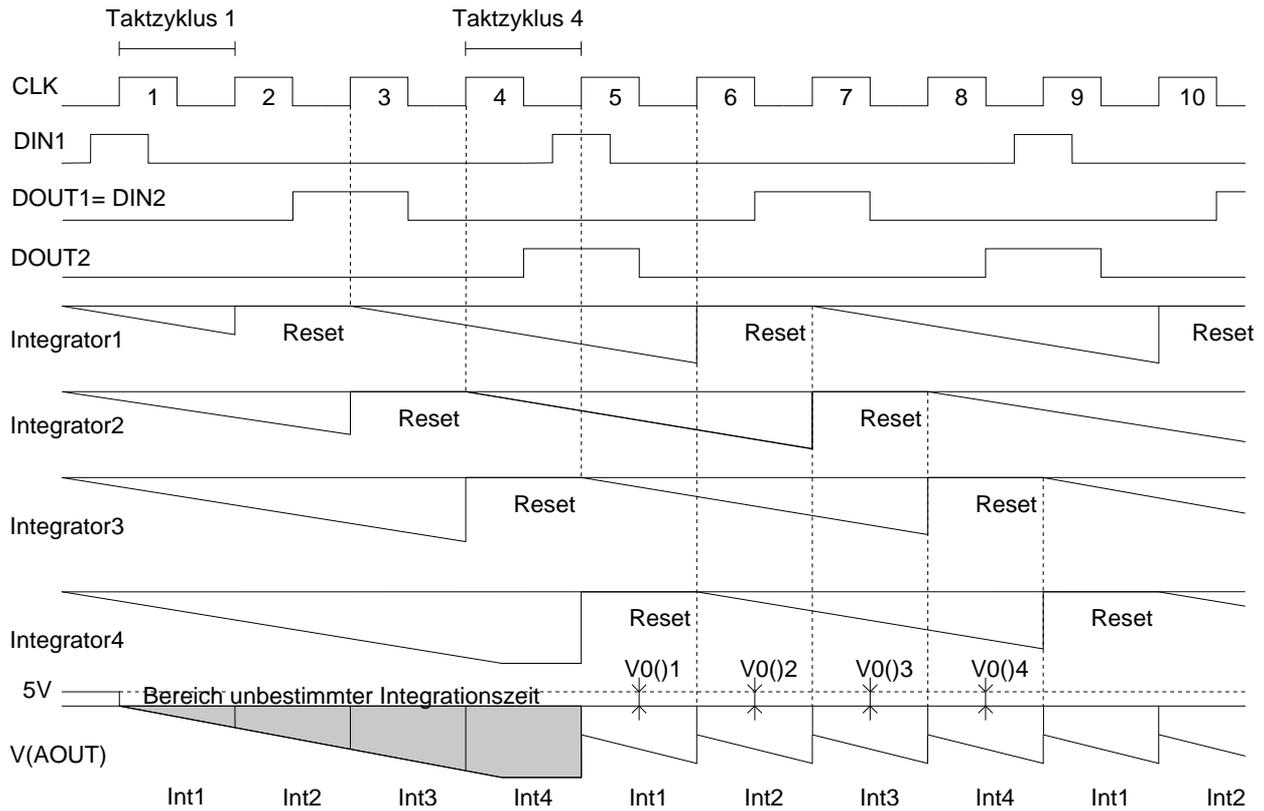


Bild 6: Zeitlicher Ablauf für die Kettenschaltung aus Bild 5 nach dem Einschalten

iC-Haus behält sich ausdrücklich das Recht vor, seine Produkte und/oder Spezifikationen zu ändern. Über erfolgte Änderungen und Ergänzungen zu den jeweils aktuellen Spezifikationen im Internet auf unserer Homepage www.ichaus.de/infoletter informiert ein Infoletter, der automatisch erzeugt und als E-Mail an eingetragene Nutzer verschickt wird.

Ein Nachdruck dieser Spezifikation – auch auszugsweise – ist nur mit unserer schriftlichen Zustimmung und unter genauer Quellenangabe zulässig.

Die angegebenen Daten dienen ausschließlich der Produktbeschreibung. Dies gilt insbesondere auch für die angegebenen Verwendungsmöglichkeiten/Einsatzbereiche des Produktes.

Eine Garantie hinsichtlich der Eignung oder Zuverlässigkeit des Produktes für die konkret vorgesehene Verwendung wird von iC-Haus nicht übernommen.

iC-Haus überträgt an dem Produkt kein Patent, Copyright oder sonstiges Schutzrecht.

Für die Verletzung etwaiger Patent- und/oder sonstiger Schutzrechte Dritter, die aus der Ver- oder Bearbeitung des Produktes und/oder der sonstigen konkreten Verwendung des Produktes resultieren, übernimmt iC-Haus keine Haftung.

Unsere Entwicklungen, IPs, Schaltungsprinzipien und angebotenen Integrierten Schaltkreise sind grundsätzlich geeignet, naheliegend und vorgesehen für einen zweckentsprechenden Einsatz in technischen Applikationen, z. B. in Geräten und Systemen und in beliebigen technischen Einrichtungen, soweit sie nicht bestehende Schutzrechte verletzen. Prinzipiell sind die Verwendungsmöglichkeiten technisch nicht beschränkt und beziehen sich beispielsweise auf Produkte des Warenverzeichnisses für die Außenhandelsstatistik, Ausgabe 2008 und folgende, jährlich herausgegeben vom Statistischen Bundesamt, Wiesbaden, oder auf ein beliebiges Produkt des Produktkatalogs der Hannover-Messe 2007 und folgender.

Eine zweckentsprechende Applikation unserer veröffentlichten Entwicklungen verstehen wir als Stand der Technik, die nicht mehr als erfinderisch im Sinne des Patentgesetzes gelten kann. Unsere expliziten Applikationshinweise sind nur als Ausschnitt der möglichen, besonders vorteilhaften Anwendungen zu verstehen.

BESTELLINFORMATION

Typ	Gehäuse	Bestellbezeichnung
iC-OC Muster	CDIP16	iC-OC CDIP16
iC-OC	-	iC-OC chip

Technischen Support und Auskünfte über Preise und Lieferzeiten geben:

iC-Haus GmbH
Am Kuemmerling 18
55294 Bodenheim

Tel.: (0 61 35) 92 92-0
Fax: (0 61 35) 92 92-192
Web: <http://www.ichaus.com>
E-Mail: sales@ichaus.com

Autorisierte Distributoren nach Region: http://www.ichaus.de/sales_partners