

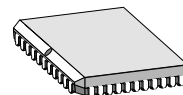
EIGENSCHAFTEN

- ◆ 2 x 4 bidirektionale Ein-/Ausgangsstufen an 24 V
- ◆ Ein-/Ausgangsfunktion programmierbar für jeweils 4 Bit
- ◆ Garantierte Low-side Treiberfähigkeit von 100 mA_{dc} und 500 mA_{peak} für Impulslast
- ◆ Kurzschlussfeste Treiber mit hoher Spannungsfestigkeit bis 48 V
- ◆ Kleine Sättigungsspannung von 0.4 V bei 10 mA, 1.5 V bei 500 mA
- ◆ Programmierbare Pull-Down-Stromquellen
- ◆ Integrierte Freilaufdioden mit extern zugänglicher gemeinsamer Kathode
- ◆ Blinkfunktion für die Ausgänge
- ◆ Programmierbare digitale EingangsfILTER mit extern einstellbaren Filterzeiten
- ◆ Busfähig durch schnelle μ P-Schnittstelle
- ◆ Programmierbare Interrupt-Ausgabe
- ◆ Temperatur- und Spannungsüberwachung

ANWENDUNGEN

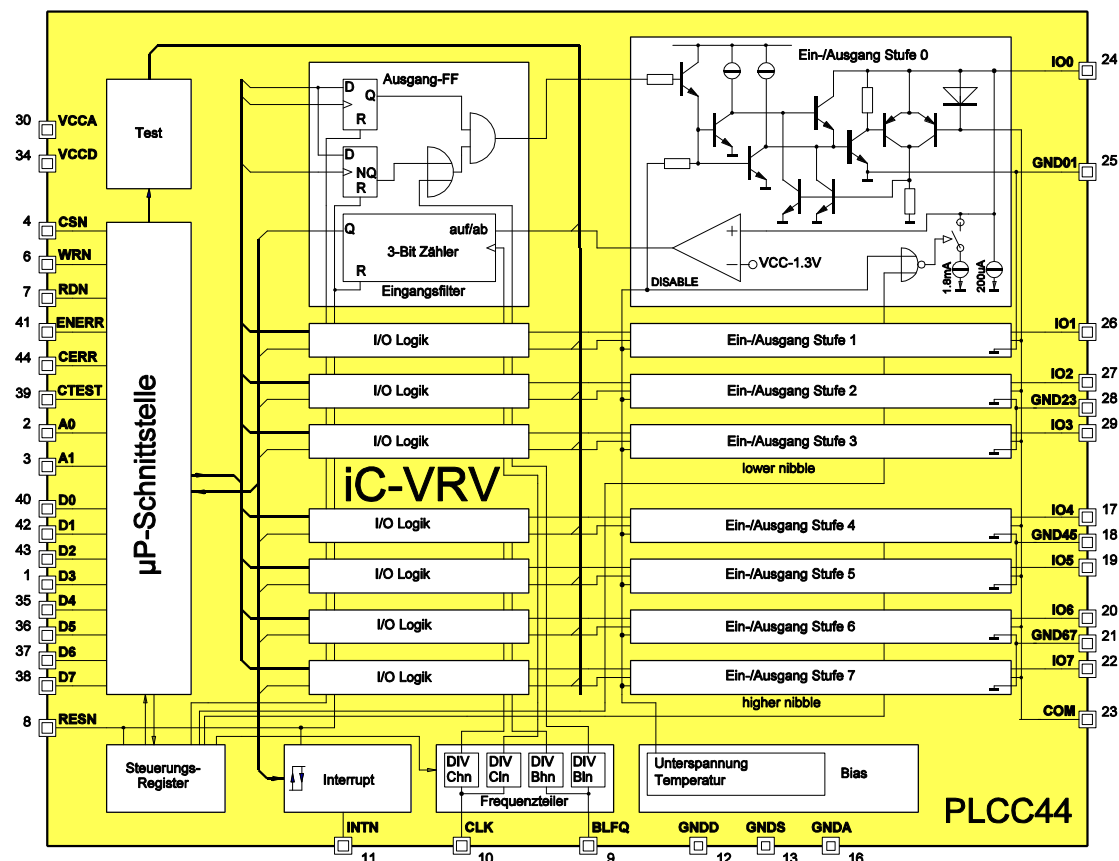
- ◆ Dual 4-fach Low-Side-Treiber als bidirektionales μ P-Interface mit digitaler Filterung in 24 V Industrieanwendungen

GEHÄUSE



PLCC44

BLOCKSCHALTBILD



KURZBESCHREIBUNG

iC-VRV ist ein 8-fach Low-Side-Treiber mit integrierter Steuerlogik, der intern in zwei voneinander unabhängige Blöcke (Nibbles) unterteilt ist.

Im Eingabe-Modus können die Ports IO0..IO7 zur Erfassung von Logikpegeln verwendet werden. Hierbei stellt ein programmierbarer Pull-Down-Strom (200 μ A oder 2 mA) definierte Pegel ein und dient als Vorstrom für Schalterkontakte. Als Ausgang programmiert können die Endstufen beliebige Lasten treiben (z. B. Lampen, lange Kabel, Relais) mit einem Dauerstrom von 100 mA bzw. 500 mA im Pulsbetrieb. Der beim Abschalten entstehende Freilaufstrom wird über die integrierten Freilaufdioden und eine extern an Pin COM anzulegende Spannung abgeleitet. Diese Spannung kann die Versorgungsspannung sein; eine Beschaltung mit einer Zener-Diode ist ebenfalls möglich.

Im Kurzschlussfall sorgt eine Schutzschaltung dafür, daß die betroffene Endstufe nicht einfach abgeschaltet, sondern lastabhängig getaktet wird. Der Strom nimmt dadurch einen niedrigen Mittelwert an. Die Endstufe ist nach Wegfall der Kurzschlussursache sofort wieder einsatzbereit.

Eine Übertemperaturschutzschaltung bewahrt das IC vor thermischer Zerstörung, indem die Endstufen abgeschaltet und die Pull-Down-Ströme von 2 mA auf 200 μ A reduziert werden. Diese Abschaltung wird auch bei Unterspannung an VCC ausgelöst.

Durch die μ P-Schnittstelle kann der iC-VRV direkt an einem Bus-System betrieben werden. Sie besteht aus den Datenbits D0..D7 und den dazugehörigen Steuersignalen A0, A1, CSN, WRN, RDN. Das Signal CLK taktet das implementierte Digitalfilter und BLFQ die programmierte Blinkfunktion. Bei einem Signalwechsel der als Eingänge programmierten IO-Pins kann ein Interrupt-Signal am Ausgang INTN generiert werden.

Die Aktivierung des Eingangs RESN bewirkt eine Rücksetzung in den Grundzustand.

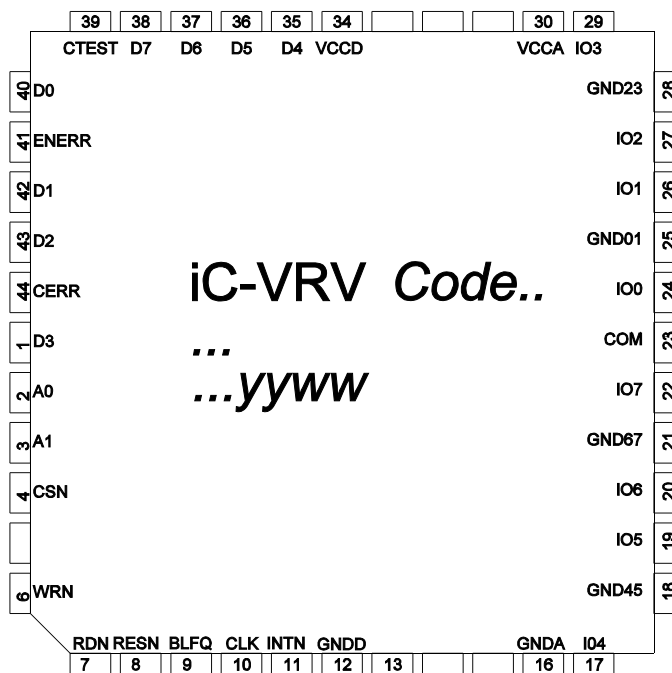
Die Programmierung des Bausteins erfolgt über vier Adressen an A0 und A1. Dabei werden unter anderem Voreinstellungen für Blinkfrequenzen, Filterzeiten, Interrupt-Steuerung, Pull-Down-Ströme und Ein-/Ausgabe-Modus in zwei Registern (STEUERWORT1+2) gespeichert.

Alle Ein-/Ausgänge sind mit Dioden gegen Zerstörung durch ESD geschützt.

GEHÄUSE PLCC44 nach JEDEC-Standard

ANSCHLUSSBELEGUNG PLCC44

(von oben)



PIN-FUNKTIONEN PLCC44

Nr.	Name	Funktion	Beschreibung	Nr.	Name	Funktion	Beschreibung
1	D3	B	Datenbus Bit 3	23	COM		Gemeinsame Kathode
2	A0	I	Adressierung	24	IO0	B	I/O-Stufe 0
3	A1	I	Adressierung	25	GND01		Masse Stufe 0+1
4	CSN	I	Chip-Select	26	IO1	B	I/O-Stufe 1
5	n.c.			27	IO2	B	I/O-Stufe 2
6	WRN	I	Write-Enable	28	GND23		Masse Stufe 2+3
7	RDN	I	Read-Enable	29	IO3	B	I/O-Stufe 3
8	RESN	I	Reset	30	VCCA		+5 V Versorgung (Analogteil)
9	BLFQ	I	Takt, Blinkfunktion	31	n.c.		
10	CLK	I	Takt, Filterfunktion	32	n.c.		
11	INTN	O	Interrupt-Anzeige	33	n.c.		
12	GNDD		Masse Digitalteil	34	VCCD		+5 V Versorgung (Digitalteil)
13	n.c.			35	D4	B	Datenbus Bit 4
14	n.c.			36	D5	B	Datenbus Bit 5
15	n.c.			37	D6	B	Datenbus Bit 6
16	GNDA		Masse Analogteil	38	D7	B	Datenbus Bit 7
17	IO4	B	I/O-Stufe 4	39(*)	CTEST		
18	GND45		Masse Stufe 4+5	40	D0	B	Datenbus Bit 0
19	IO5	B	I/O-Stufe 5	41(*)	ENERR		
20	IO6	B	I/O-Stufe 6	42	D1	B	Datenbus Bit 1
21	GND67		Masse Stufe 6+7	43	D2	B	Datenbus Bit 2
22	IO7	B	I/O-Stufe 7	44(x)	CERR		

*: Pin auf Masse legen

x: Pin nicht anschließen

Funktion: I = Eingang, O = Ausgang, B = bidirektional

PROGRAMMIERUNG

Funktionsauswahl									
Adresse		Datenwort D7..D0							
		higher nibble				lower nibble			
		Ein-/Ausgangsstufe mit Funktion:							
		Eingang		Ausgang		Eingang		Ausgang	
A1	A0	Schreiben	Lesen	Schreiben	Lesen	Schreiben	Lesen	Schreiben	Lesen
0	0	Testmuster	IR-Eingänge	Ausgänge	Ausgänge	Testmuster	IR-Eingänge	Ausgänge	Ausgänge
0	1	IR-Freigabe	IR-Freigabe	Puls-Freigabe	Puls-Freigabe	IR-Freigabe	IR-Freigabe	Puls-Freigabe	Puls-Freigabe
1	0	Steuerwort2	Eingänge	Steuerwort2	Rückführung d. Ausgänge	Steuerwort2	Eingänge	Steuerwort2	Rückführung d. Ausgänge
1	1	Steuerwort1	Steuerwort1	Steuerwort1	Steuerwort1	Steuerwort1	Steuerwort1	Steuerwort1	Steuerwort1

Lesen der Eingänge bzw. der Ausgangsrückführung (IO7..0 an D7..0)

E/A-Stufe mit Eingangsfunktion: Ein hi-Pegel an IOx erzeugt nach Ablauf der digitalen Hysterese ein hi-Signal an Dx (Funktionsauswahl: Lesen Eingänge).

E/A-Stufe mit Ausgangsfunktion: Ein hi-Pegel an IOx erzeugt nach Ablauf der digitalen Hysterese ein lo-Signal an Dx (Funktionsauswahl: Lesen Rückführung der Ausgänge).

Die Invertierung beim Zurücklesen der Ausgänge (E/A-Stufe mit Ausgangsfunktion) erfolgt, damit an Dx das gleiche Signal ansteht, wie es zum Ein- oder Ausschalten der Endstufe programmiert wurde, z. B.: Endstufe mit Dx= hi einschalten ergibt lo-Pegel an IOx; nach Ablauf der digitalen Hysterese wird Q lo, die μ P-Schnittstelle invertiert diese Meldung und über Dx kann ein hi-Signal zurückgelesen werden. Der μ P kann so direkt den Schaltzustand überprüfen.

Test

Die Testschaltung besteht aus Registern, die über die μ P-Schnittstelle gesetzt werden können (Testmuster). Ihr Inhalt wird über stets aktive ODER-Gatter auf die Zählrichtungseingänge AUF/AB gegeben (D7..0 auf AUF/AB7..0). Durch einen Reset (lo-Signal an RESN) werden die Register auf lo gesetzt, so dass keine Auswirkung auf die AUF/AB-Eingänge besteht.

Im Testmodus (Steuerwort 2, Bit 2 und 6 auf hi) werden die Komparatoren der E/A-Sufen abgeschaltet, und nur noch die Testregister bedienen die AUF/AB-Eingänge. Beliebige Eingangssignale können eingespielt werden, um alle Digitalfunktionen zu testen - der Mikroprozessor kann so auch einen Systemtest durchführen.

Interrupt-Freigabe

Die Interrupt-Generierung kann für jede E/A-Stufe mit Eingangsfunktion getrennt aktiviert werden. Die Interrupt-Freigabe wird über das Datenwort D0..7 programmiert (Funktionsauswahl, IR-Freigabe: 1 = Stufe relevant, 0 = Stufe nicht relevant).

Wird für eine E/A-Stufe mit Eingangsfunktion ein Signalwechsel erkannt - nach Ablauf der digitalen Hysterese durch Wechsel an Qx - und ist diese Stufe zur Interrupt-Erzeugung freigegeben, wird dies mit INTN = lo angezeigt. Die Interrupt-Meldung sowie das Interrupt-Register, das anzeigt welche Stufe einen Datenwechsel meldet, werden über das Steuerwort 2 zurückgesetzt (Bit0 = 1 schreiben genügt, Bit0 = 0 setzt der Baustein selbsttätig).

Eventuell können nach einer Interrupt-Meldung noch in der folgenden Auslesephase Signalwechsel erfolgen, die für eine Interrupt-Erzeugung relevant wären. Mit dem Löschen des Interrupt-Registers gehen diese Signalwechsel verloren. Alternativ bietet sich das Auslesen des Interrupt-Registers an (Funktionsauswahl: Lesen IR-Eingänge). Die Register können danach getrennt zurückgesetzt werden, indem die IR-Freigabe für jede meldende Stufe einzeln gesperrt und wieder freigegeben wird (Funktionsauswahl: IR-Freigabe).

Filterzeiten

Der Eingangskomparator jeder E/A-Stufe schaltet die Zählrichtung eines 3 Bit Zählers um. Erst nach Erreichen des Endstandes ändert sich der Zählerausgang Q (zu hi für hi-Pegel an IOx, zu lo für lo-Pegel an IOx, wenn konstant über die Filterzeit anliegend).

Der Zähler wird extern getaktet (Pin CLK); für beide Nibble getrennt programmierbar ist der Divisor für die Taktfrequenz. Durch ein lo-Signal am Reset-Eingang RESN werden die Zähler auf den Wert 3 gesetzt. Die Änderung eines Eingangssignals wird also durch die digitale Hysterese erst nach Ablauf der gewählten Filterzeit aufgenommen.

Pulsfreigabe und Pulszeiten

Die Blink- bzw. Pulsfunktion kann für jede E/A-Stufe mit Ausgangsfunktion getrennt eingeschaltet werden. Je Nibble erfolgt die Programmierung der Divisoren für den Blinkfrequenzeingang BLFQ (Steuerwort 1, Bits 0,1 und 4,5). Das Taktsignal an BLFQ wird mit der Flanke von CLK übernommen (synchronisiert). Deshalb muß die Taktfrequenz für CLK größer sein als die Taktfrequenz für BLFQ, z. B. 2 MHz für CLK und 50 Hz für BLFQ.

Steuerwort 1								
	higher nibble				lower nibble			
Bit Name	7 FH0	6 FH1	5 PH0	4 PH1	3 FL0	2 FL1	1 PL0	0 PL1

Steuerwort 1 (lower nibble)						
Filterzeit				Pulszeit		
Bit 3 FLO	Bit 2 FL1			Bit 1 PLO	Bit 0 PL1	
0	0	14.5 * CLK	$\pm 1 * CLK$	0	0	BLFQ
1	0	896.5 * CLK	$\pm 64 * CLK$	1	0	BLFQ * 2
0	1	3584.5 * CLK	$\pm 256 * CLK$	0	1	BLFQ * 4
1	1	7168.5 * CLK	$\pm 512 * CLK$	1	1	BLFQ * 16

Steuerwort 1 (higher nibble)						
Filterzeit				Pulszeit		
Bit 7 FHO	Bit 6 FH1			Bit 5 PHO	Bit 4 PH1	
0	0	14.5 * CLK	$\pm 1 * CLK$	0	0	BLFQ
1	0	896.5 * CLK	$\pm 64 * CLK$	1	0	BLFQ * 2
0	1	3584.5 * CLK	$\pm 256 * CLK$	0	1	BLFQ * 4
1	1	7168.5 * CLK	$\pm 512 * CLK$	1	1	BLFQ * 16

Steuerwort 2								
	higher nibble				lower nibble			
Bit Name	7 NIOH	6 TSTH	5 IBH	4 not used	3 NIOL	2 TSTL	1 IBL	0 EOI

Steuerwort 2 (lower nibble)		
Interrupt		
Bit 0 (EOI)	0 1	Interrupt wird nicht gelöscht Interrupt wird gelöscht
Stromquellen an I/O-Pins		
Bit 1 (IBL)	0 1	Stromstärke 200 μ A Stromstärke 2 mA
Test		
Bit 2 (TSTL)	0 1	Rückführung der E/A-Stufen aktiv (ODER verknüpft mit Testmuster) Testmuster aktiv, Rückführung der E/A-Stufen abgeschaltet
Ein-/Ausgangsfunktion		
Bit 3 (NIOL)	0 1	Eingabe Ausgabe

Steuerwort 2 (higher nibble)		
Bit 4	-	nicht benutzt
Stromquellen an I/O-Pins		
Bit 5 (IBH)	0 1	Stromstärke 200 μ A Stromstärke 2 mA
Test		
Bit 6 (TSTH)	0 1	Rückführung der E/A-Stufen aktiv (ODER verknüpft mit Testmuster) Testmuster aktiv, Rückführung der E/A-Stufen abgeschaltet
Ein-/Ausgangsfunktion		
uBit 7 (NIOH)	0 1	Eingabe Ausgabe

GRENZWERTE

Bei Einhaltung der nachfolgenden Grenzwerte tritt keine Zerstörung des Bauteils auf, die Funktion ist aber nicht garantiert. Grenzwerte sind keine Betriebsbedingungen.

Integrierte Schaltkreise mit Systemschnittstellen, z.B. mit über Leitungen zugänglichen Pins (I/O-Pins, Leitungstreiber) sind prinzipiell gefährdet durch eingekoppelte Störungen, welche die Funktion oder Lebensdauer beeinträchtigen können. Die Robustheit der Komponenten ist im Rahmen der Systementwicklung vom Anwender bzgl. der anzuwendenden Normen nachzuweisen und gegebenenfalls mit Schutzbeschaltungen sicher zu stellen. Vom Hersteller angegebene Schutzbeschaltungen sind unverbindliche Empfehlungen, die im jeweiligen System bzgl. der Störumgebung zu verifizieren sind.

Kenn Nr.	Formelzeichen	Benennung	Bedingungen	Bild	Min. Max.		Einh.	
					Min.	Max.		
G001	VCCA VCCD	Versorgungsspannung			-0.3	6	V	
G201	V(COM)	Spannung an COM			-0.3	49	V	
G202	Vact(IO)	Spannung an IOx	IOx= lo (* s.u.)		-0.3	26	V	
G203	Idc(COM)	Strom in COM			-500	0	mA	
G204	Ipk(COM)	Pulsstrom in COM	$\tau = 2\text{ms}, T \geq 2\text{s}$	2	-1000		mA	
G205	Isc(COM)	Freilaufstrom in COM	Überstromabschaltung		-1.3		A	
G206	Idc(IOx)	Strom in IOx			-1		mA	
G207	Ipk(IOx)	Pulsstrom in IOx	IOx= lo, $\tau = 2\text{ms}, T \geq 2\text{s}$	2	-1	600	mA	
G208	Ipk(IOx)	Pulsstrom in IOx	IOx= lo, Überstromabschaltung			1.3	A	
G301	V(IOx)	Spannung an IO0..3, IO4..7	IBL= 0, IBH= 0 (Stromquelle 200 μ A)		-0.3	49	V	
G302	V(IOx)	Spannung an IO0..3, IO4..7	IBL= 1, IBH= 1 (Stromqu. 2mA)	$\tau = 2\text{ms}, T \geq 2\text{s}$	2	-0.3	26	V
						-0.3	49	V
G401	I _{mx} (VCCD)	Strom in VCCD, GNDD			-50	50	mA	
G402	I _c ()	Schutzdiodenstrom in CSN, WRN, RDN, A0, A1, D0..7, RESN, CLK, BLFQ	D0..7 mit Eingangsfunktion		-20	20	mA	
G403	I()	Strom in D0..D7, INTN	D0..7= lo, Ausgangsfunktion			25	mA	
G404	I _{lu} ()	Pulsstrom in CSN, WRN, RDN, A0, A1, D0..7, RESN, CLK, BLFQ, INTN (Latch-Up Festigkeit)	Pulsdauer < 10 μ s, alle Ein-/Ausgänge offen		-100	100	mA	
EG1	V _d ()	ESD-Prüfspannung an allen Ein- und Ausgängen	HBM 100pF entladen über 1.5k Ω			2	kV	
TG1	T _j	Chip-Temperatur			-40	150	°C	
TG2	T _s	Lagertemperatur			-40	150	°C	

(*) IOx= lo : Pin programmiert als Ausgang und low-aktiv, x \in 0..7

THERMISCHE DATEN

Betriebsbedingungen: VCC= VCCA= VCCD= 5V \pm 10%

Kenn Nr.	Formelzeichen	Benennung	Bedingungen	Bild	Min. Typ. Max.			Einh.
					Min.	Typ.	Max.	
T1	T _a	Zulässiger Umgebungstemperaturbereich			0		70	°C
T2	R _{thja}	Thermischer Widerstand Chip/Umgebung	Gehäuse PLCC44 auf PCB, SMD-Montage			55		K/W

Alle Spannungsangaben beziehen sich auf Masse (Ground), wenn kein anderer Bezugspunkt angegeben ist. In den Baustein hinein fließende Ströme zählen positiv, heraus fließende Ströme negativ.

KENNDATEN

 Betriebsbedingungen: VCC= VCCA= VCCD= 5V \pm 10%, Tj= 0..125°C, wenn nicht anders angegeben

Kenn Nr.	Symbol	Benennung	Bedingungen	Tj °C	Bild				Einh.
						Min.	Typ.	Max.	
Allgemeines									
001	VCCA VCCD	Zulässige Versorgungsspannung				4.5		5.5	V
002	I(VCCA)	Versorgungsstrom in VCCA, Leistungsteil	IO0..7= lo, unbelastet	0 27 70 125		5 5 5 5		65 60 55 55	mA mA mA mA
003	I(VCCD)	Versorgungsstrom in VCCD, Digitalteil	alle Logikeingänge lo= 0V oder hi= VCC			0		10	mA
004	I(VCCD)	Versorgungsstrom in VCCD, Digitalteil	alle Logikeingänge lo= 0.8V				80		mA
005	I(VCCD)	Versorgungsstrom in VCCD, Digitalteil	alle Logikeingänge hi= 2.0V				100		mA
Bias, Temperatur- und Spannungsüberwachung									
101	VCCon	Einschaltsschwelle VCC				3.6	4	4.4	V
102	VCCoff	Abschaltsschwelle VCC	abnehmende Spannung VCC			3.5	3.9	4.3	V
103	VCChys	Hysterese	VCChys= VCCon-VCCoff			40	100	250	mV
104	Toff	Abschalttemperatur				120	135	150	°C
105	Thys	Temperatur-Hysterese				4	8	12	°C
Ein-/Ausgangsstufen: Low-Side-Treiber									
201	I _{lk} (COM)	Leckstrom in COM	V(COM)= 25V, V(IOx)= 0V					100	μ A
202	V _f (COM)	Flußspannung der Freilaufdioden	V _f ()= V(IOx)-V(COM); I(IOx-COM)= 100mA, IOx= hi oder Eingangsfunktion			0.5		1.5	V
203	V _s (IO)	Sättigungsspannung lo an IOx	I(IOx)= 10mA, IO0..7= lo		1			0.4	V
204	V _s (IO)	Sättigungsspannung lo an IOx	I(IOx)= 100mA, IO0..7= lo		1			0.6	V
205	V _s (IO)	Sättigungsspannung lo an IOx bei Pulslast	I(IOx)= 500mA, IO0..7= lo, τ = 2ms, T _≥ 2s		2			1.5	V
206	I _{off} (IO)	Schwelle in IOx für Überstromabschaltung	IOx= lo, V(IOx)= 0..25V			0.5		1.3	A
207	I _{on} (IO)	Freilaufstrom I(IOx-COM) zur Freigabe der Überstromabschaltung				0.1		20	mA
208	f(IO)	Schwingfrequenz der Überstromabschaltung	Lastabhängig			0.1		20	MHz
209	I _{av} (IO)	Strommittelwert in IOx bei Überstromabschaltung	IOx= lo, V(IOx)= 0..25V			50		700	mA

KENNDATEN

 Betriebsbedingungen: VCC= VCCA= VCCD= 5V \pm 10%, Tj= 0..125°C, wenn nicht anders angegeben

Kenn Nr.	Symbol	Benennung	Bedingungen	Tj °C	Bild				Einh.
						Min.	Typ.	Max.	
Ein-/Ausgangsstufen: Komparator									
301	ldwn(IO)	Pull-Down Strom an IOx	V(IOx)= 3..48V, IBL= 0, IBH= 0, IO0..7= hi oder Eingangsfunktion			120	200	280	μ A
302	ldwn(IO)	Pull-Down Strom an IOx	V(IOx)= 3..25V, IBL= 1, IBH= 1, IO0..7= hi oder Eingangsfunktion			1.4	2	2.6	mA
303	V0(IO)	Leerlaufspannung an IOx	IOx offen, IO0..7= hi oder Eingangsfunktion					1	V
304	Vt()hi	Schwellspannung hi an IOx						4.6	V
305	Vt()lo	Schwellspannung lo an IOx				3			V
μP-Schnittstelle, I/O-Logik, Frequenzteiler, Interrupt									
401	llk(Dx)	Leckstrom in Dx	D0..7 mit Eingangsfunktion			-5		5	μ A
402	llk()	Leckstrom in Schmitt-Trigger Eingang CSN, WRN, RDN, A0, A1, RESN, CLK, BLFQ				-1		1	μ A
403	Vt()hi	Schwellspannung hi an Schmitt-Trigger Eingang CSN, WRN, RDN, A0, A1, RESN, CLK, BLFQ, D0..D7	D0..7 mit Eingangsfunktion					2.3	V
404	Vt()lo	Schwellspannung lo an Schmitt-Trigger Eingang CSN, WRN, RDN, A0, A1, RESN, CLK, BLFQ, D0..D7	D0..7 mit Eingangsfunktion			0.7			V
405	Vt()hys	Hysterese an Schmitt-Trigger Eingang CSN, WRN, RDN, A0, A1, RESN, CLK, BLFQ, D0..D7	D0..7 mit Eingangsfunktion			0.3			V
406	Vs()hi	Sättigungsspannung hi an INTN	Vs()hi= VCCD-V(INTN); INTN=hi, I(INTN)=-100 μ A					0.2	V
407	Vs()hi	Sättigungsspannung hi an INTN	Vs()hi= VCCD-V(INTN); INTN=hi, I(INTN)=-2mA					0.8	V
408	Vs()lo	Sättigungsspannung lo an INTN	INTN= lo, I(INTN)= 100 μ A					0.2	V
409	Vs()lo	Sättigungsspannung lo an INTN	INTN= lo, I(INTN)= 2mA					0.49	V
410	Vs(Dx)hi	Sättigungsspannung hi an Dx	Vs(Dx)hi= VCCD-V(Dx); Dx= hi, I(Dx)= -100 μ A					0.2	V
411	Vs(Dx)hi	Sättigungsspannung hi an Dx	Vs(Dx)hi= VCCD-V(Dx); Dx= hi, I(Dx)= -4mA					0.8	V
412	Vs(Dx)lo	Sättigungsspannung lo an Dx	Dx= lo, I(Dx)= 100 μ A					0.2	V
413	Vs(Dx)lo	Sättigungsspannung lo an Dx	Dx= lo, I(Dx)= 4mA					0.49	V
414	Vc()hi	Clamp Spannung hi an CSN, WRN, RDN, A0, A1, RESN, CLK, BLFQ, D0..7, INTN, CERR	Vc()hi= V()-VCC, I()= 20mA			0.4		2.5	V
415	Vc()lo	Clamp Spannung lo an CSN, WRN, RDN, A0, A1, RESN, CLK, BLFQ, D0..7, INTN, CERR	I()= -20mA			-1.8		-0.4	V

KENNDATEN

Betriebsbedingungen: VCC= VCCA= VCCD= 5V \pm 10%, Tj= 0..125°C, wenn nicht anders angegeben

Kenn Nr.	Symbol	Benennung	Bedingungen	Tj °C	Bild				Einh.
						Min.	Typ.	Max.	
Schaltcharakteristik									
501	tc(CLK)	Periodendauer an CLK				400			ns
502	tw(CLK)	Zulässige Pulsdauer lo an CLK				200			ns
503	tc(BLFQ)	Periodendauer an BLFQ				100			ms
504	tw(BLFQ)	Zulässige Pulsdauer lo an BLFQ				50			ms
505	tph()	Verzögerungszeit bis IOx: hi-lo	Schreibzyklus, WRN: hi-lo					2	μ s
506	tplh()	Verzögerungszeit bis IOx= gesperrt	Schreibzyklus, WRN: hi-lo					3	μ s
507	tp()lon	Verzögerungszeit bis Stromquelle an IOx aktiv	Schreibzyklus, WRN: hi-lo					5	μ s
508	tp()loff	Verzögerungszeit bis Stromquelle an IOx inaktiv	Schreibzyklus, WRN: hi-lo					5	μ s
509	tp(IOx-Auf/Ab)	Verzögerungszeit vom Eingang IOx zum Auf/Ab Filtereingang						5	μ s

KENNDATEN: SIGNALFORMEN

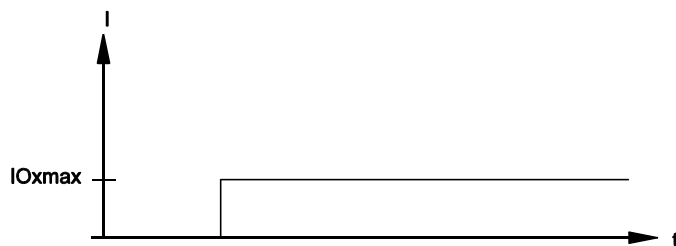


Bild 1: Belastungsfall DC

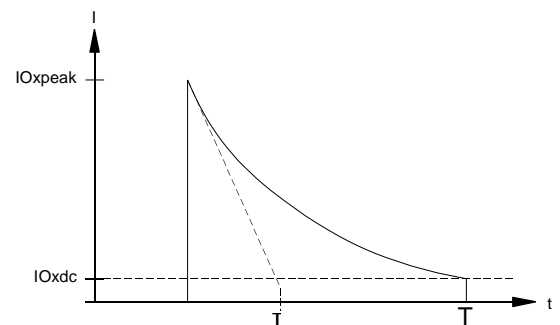


Bild 2: Belastungsfall Puls 2 ms

BETRIEBSBEDINGUNGEN: μ P-SCHNITTSTELLE

Betriebsbedingungen: $V_{CC} = V_{CCA} = V_{CCD} = 5V \pm 10\%$, $T_a = 0..70^\circ C$, $CL() = 150pF$,
Eingangsspiegel $lo = 0..0.45V$, $hi = 2.4..V_{CC}$, Bezugspegel für Zeitangaben nach Bild 3

Kenn Nr.	Formelzeichen	Benennung	Bedingungen	Bild			Einh.
					Min.	Max.	
Lesezyklus							
I1	tAR	Vorbereitungszeit: CSN, A0, A1 stabil vor RDN hi-lo		4	30		ns
I2	tRA	Haltezeit: CSN, A0, A1 stabil nach RDN lo-hi		4	10		ns
I3	tRD	Wartezeit: Daten gültig nach RDN hi-lo		4		120	ns
I4	tDF	Rückstellzeit: Datenbus hochohmig nach RDN lo-hi		4		65	ns
I5	tRW	Wartezeit zwischen Lese- und Schreibsignalen an RDN, WRN		4	165		ns
Schreibzyklus							
I6	tAW	Vorbereitungszeit: CSN, A0, A1 stabil vor WRN hi-lo		4	30		ns
I7	tDW	Vorbereitungszeit: gültige Daten vor WRN lo-hi		4	100		ns
I8	tWA	Haltezeit: CSN, A0, A1 stabil nach WRN lo-hi		4	10		ns
I9	tWD	Haltezeit: gültige Daten nach WRN lo-hi		4	10		ns

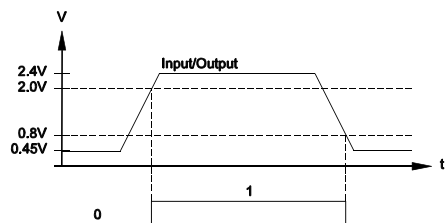


Bild 3: Bezugspegel für Zeitangaben

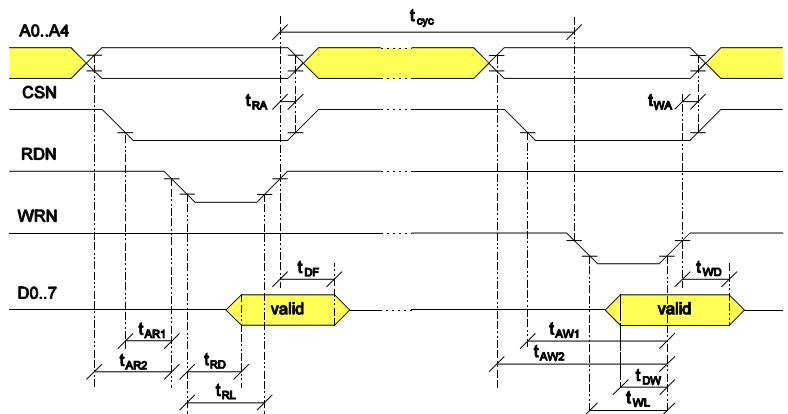


Bild 4: Lese- und Schreibzyklus

iC-Haus behält sich ausdrücklich das Recht vor, seine Produkte und/oder Spezifikationen zu ändern. Über erfolgte Änderungen und Ergänzungen zu den jeweils aktuellen Spezifikationen im Internet auf unserer Homepage www.ichaus.com/infoletter informiert ein Infoletter, der automatisch erzeugt und als E-Mail an eingetragene Nutzer verschickt wird.

Ein Nachdruck dieser Spezifikation – auch auszugsweise – ist nur mit unserer schriftlichen Zustimmung und unter genauer Quellenangabe zulässig.

Die angegebenen Daten dienen ausschließlich der Produktbeschreibung. Dies gilt insbesondere auch für die angegebenen Verwendungsmöglichkeiten/Einsatzbereiche des Produktes.

Eine Garantie hinsichtlich der Eignung oder Zuverlässigkeit des Produktes für die konkret vorgesehene Verwendung wird von iC-Haus nicht übernommen.

iC-Haus überträgt an dem Produkt kein Patent, Copyright oder sonstiges Schutzrecht.

Für die Verletzung etwaiger Patent- und/oder sonstiger Schutzrechte Dritter, die aus der Ver- oder Bearbeitung des Produktes und/oder der sonstigen konkreten Verwendung des Produktes resultieren, übernimmt iC-Haus keine Haftung.

Unsere Entwicklungen, IPs, Schaltungsprinzipien und angebotenen Integrierten Schaltkreise sind grundsätzlich geeignet, naheliegend und vorgesehen für einen zweckentsprechenden Einsatz in technischen Applikationen, z. B. in Geräten und Systemen und in beliebigen technischen Einrichtungen, soweit sie nicht bestehende Schutzrechte verletzen. Prinzipiell sind die Verwendungsmöglichkeiten technisch nicht beschränkt und beziehen sich beispielsweise auf Produkte des Warenverzeichnisses für die Außenhandelsstatistik, Ausgabe 2008 und folgende, jährlich herausgegeben vom Statistischen Bundesamt, Wiesbaden, oder auf ein beliebiges Produkt des Produktkatalogs der Hannover-Messe 2007 und folgender.

Eine zweckentsprechende Applikation unserer veröffentlichten Entwicklungen verstehen wir als Stand der Technik, die nicht mehr als erfinderisch im Sinne des Patentgesetzes gelten kann. Unsere expliziten Applikationshinweise sind nur als Ausschnitt der möglichen, besonders vorteilhaften Anwendungen zu verstehen.

BESTELLINFORMATION

Typ	Gehäuse	Bestellbezeichnung
iC-VRV	PLCC44	iC-VRV PLCC44

Technischen Support und Auskünfte über Preise und Lieferzeiten geben:

iC-Haus GmbH
Am Kuemmerling 18
55294 Bodenheim

Tel.: (06135) 9292-0
Fax: (06135) 9292-192
Web: <http://www.ichaus.com>
E-Mail: sales@ichaus.com

Autorisierte Distributoren nach Region: http://www.ichaus.de/support_distributors.php